Kasetsart J. (Nat. Sci.) 32 : 473 - 484 (1998) ว. เกษตรศาสตร์ (วิทย.) ปีที่ 32 : 473 - 484 (2541)

การออกแบบและทดสอบชิปวงจรรวมเฉพาะกิจสำหรับเชื่อมโยงไมโครโปรเซสเซอร์ในระบบตู้สาขาโทรศัพท์อัตโนมัติแบบดิจิตอล

Design and Testing of Asic Chip for Microprocessors Interfacing in a Digital PABX System

กรกฎ วัฒนวิเชียร และ อัมพร ขันกำเหนิด

Koarakot Wattanavichean and Amporn Khangumnerd

ABSTRACT

An ASIC chip design for interfacing 16-bit microprocessor with 8-bit microprocessor in a digital PABX system was reported. The main features of the chip were as follows: synchronous operation with clock frequency of 13 MHz using +5 V power supply, and having a dual port memory with a capacity of 128 bytes. The algorithm in transferring data between 2 microprocessors through the chip was first in - first out. The design was based on VHDL together with drawing schematic diagram. Workview Plus software was used as simulation and synthesis tools. Simulation results showed good agreement with the specification. After the correct circuit design was obtained, it was programmed into FPGA chip (XC4010 and XC4003) for testing. Experimental results showed that the chip operated correctly.

Key words : ASIC chip, microprocessors interfacing, digital PABX

บทคัดย่อ

งานวิจัยนี้นำเสนอการออกแบบและสร้างชิปวงจรรวมเฉพาะกิจ (application specific integrated circuit : ASIC) สำหรับใช้เชื่อมโยงการถ่ายโอนและแลกเปลี่ยนข้อมูลระหว่างไมโครโปรเซสเซอร์ 16 บิต กับไมโครโปรเซสเซอร์ 8 บิต เพื่อใช้ในระบบตู้สาขาโทรศัพท์อัตโนมัติแบบดิจิตอล โดยวงจรรวมนี้มีลักษณะการทำงานหลัก ๆ คือ ทำงานในแบบซิงโครนัสด้วยความถี่สัญญาณนาฬิกา 13 MHz ใช้กับแหล่งจ่ายแรงดัน +5 V และ มีหน่วยความจำ 2 ทิศทางขนาด 128 ไบต์บรรจุอยู่ภายใน โดยการออกแบบใช้อัลกอริทึมในการแลกเปลี่ยนข้อมูลระหว่างไมโครโปรเซสเซอร์กับวงจรรวมในลักษณะที่

ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเกษตรศาสตร์ กรุงเทพ 10900

Department of Electrical Engineering, Faculty Engineering, Kasetsart University, Bangkok 10900, Thailand.

ข้อมูลที่ถูกเขียนเข้ามาก่อนจะถูกอ่านออกก่อน (first in-first out เรียกย่อว่า FIFO) การออกแบบได้ใช้ภาษา VHDL (Very High Speed Integrated Circuit Hardware Description Language) ร่วมกับการเขียนผังวงจรโดยใช้ชุดโปรแกรม Workview Plus หลังจากทำการเขียนโปรแกรมการออกแบบเสร็จเรียบร้อยแล้วจึงนำไปจำลองการทำงานและสังเคราะห์เป็นวงจร ขั้นตอนสุดท้ายนำข้อมูลที่ได้ไปโปรแกรมลงบนชิป FPGA เบอร์ XC 4010 และ XC 4003 เพื่อสร้างเป็นวงจรต้นแบบ ผลการทดสอบฟังก์ชันการทำงานปรากฏว่าชิปวงจรรวมสามารถทำงานได้ถูกต้องตามฟังก์ชันที่ออกแบบไว้

คำนำ

การติดต่อสื่อสารในปัจจุบันสามารถทำได้อย่างสะดวกและรวดเร็ว โทรศัพท์ก็จัดเป็นระบบสื่อสารอย่างหนึ่งที่เข้ามามีบทบาทกับชีวิตประจำวันของมนุษย์และใช้กันอย่างกว้างขวางจนการขยายติดตั้งเครือข่ายไม่สามารถกระทำได้ทันและเพียงพอกับความต้องการ และดูเหมือนความต้องการใช้โทรศัพท์ในอนาคตจะสูงขึ้นเรื่อย ๆ ทำให้มีการนำเอาระบบตู้สาขาโทรศัพท์อัตโนมัติแบบดิจิตอล (Digital Private Automatic Branch Exchange: Digital PABX) มาใช้ (กรกฎ, 2537) ซึ่งทำให้การใช้คู่สายภายนอกมีประสิทธิภาพมากขึ้นอีกทั้งยังสามารถเพิ่มฟังก์ชันต่าง ๆ เพื่ออำนวยความสะดวกได้อีกด้วย ทำให้ระบบตู้สาขาโทรศัพท์อัตโนมัติแบบดิจิตอลเริ่มเป็นที่นิยมและใช้กันแพร่หลายมากยิ่งขึ้น ดังนั้นจึงต้องพยายามหาเทคโนโลยีที่เหมาะสมมาทำการออกแบบและผลิตอุปกรณ์อิเล็กทรอนิกส์ที่ใช้ในระบบโทรศัพท์เพื่อทำให้อุปกรณ์อิเล็กทรอนิกส์ต่าง ๆ ที่ผลิตขึ้นมีขนาดเล็กลงหรือพยายามย่อให้ลงไปอยู่ในชิปไอซีเดียว โดยใช้เครื่องมือพัฒนาในการออกแบบรุ่นใหม่ ๆ เข้ามาช่วย มีผลให้การทำงานของตัววงจรมีประสิทธิภาพดีขึ้น ลดเนื้อที่ที่ใช้บนแผ่นวงจรพิมพ์ นอกจากนี้ยังเป็นการป้องกันการลอกเลียนแบบของวงจรที่ออกแบบ พร้อมทั้งมีประสิทธิภาพและมีความเชื่อถือได้สูง ดังนั้นในงานวิจัยนี้จึงเสนอการออกแบบชิปวงจรรวมเฉพาะกิจสำหรับทำหน้าที่เชื่อมโยงการถ่ายโอนและแลกเปลี่ยนข้อมูลระหว่างไมโครโปรเซสเซอร์ 16 บิต กับไมโครโปรเซสเซอร์ 8 บิต (Figure 1) เพื่อประยุกต์ใช้ในระบบตู้สาขาโทรศัพท์อัตโนมัติแบบดิจิตอล ซึ่งเป็นระบบที่ทางภาควิชาวิศวกรรมไฟฟ้าได้ดำเนินการวิจัยอยู่ จึงนับว่าเป็นการวิจัยที่ต่อเนื่องและเหมาะสมกับสถานภาพในปัจจุบันทั้งของหน่วยงานต้นสังกัดและ

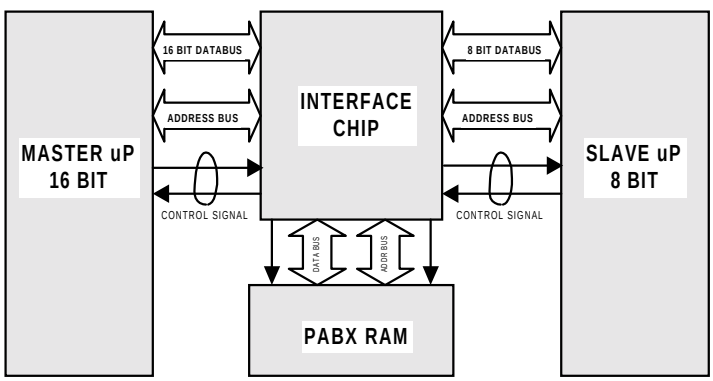

Figure 1 Configuration of ASIC chip for interfacing 16-bit uP with 8-bit uP.

ของประเทศ เหตุผลที่ต้องการออกแบบชิปดังกล่าวก็เพื่อขยายประสิทธิภาพการทำงานของระบบตู้สาขาโทรศัพท์อัตโนมัติที่มีอยู่เดิมซึ่งใช้ไมโครโปรเซสเซอร์ 8 บิต ให้เข้ากับระบบตู้สาขาโทรศัพท์อัตโนมัติที่มีขนาดใหญ่ขึ้นซึ่งใช้ไมโครโปรเซสเซอร์ 16 บิตในการควบคุมการทำงานของไมโครโปรเซสเซอร์ 8 บิต หลาย ๆ ตัว โดยได้เลือกการออกแบบวงจรรวมในระดับบน (high level design) โดยใช้ภาษา VHDL (Perry, 1991; Smith, 1996) ช่วยในการเขียนโปรแกรมการออกแบบ เนื่องจากการออกแบบระดับดังกล่าวสามารถใช้กับวงจรดิจิตอลได้เป็นอย่างดี

อุปกรณ์และวิธีการ

ข้อกำหนดรายละเอียดของชิปวงจรรวมที่ออกแบบ

- ภายในมี FIFO สำหรับเก็บข้อมูลขนาด 128 ไบต์ (FIFO ขนาด 32 ไบต์ 4 ชุด)
- สามารถรีเซ็ตการทำงานได้ใหม่ตามที่ต้องการ
- ทำงานเป็น transparent mode ในกรณีที่ไมโครโปรเซสเซอร์ต้องการติดต่อกับ RAM ของ PABX
- มีตัวบ่งชี้บอกสถานะการทำงานตลอดเวลา
- การทำงานเป็นแบบซิงโครนัส
- การถ่ายโอนข้อมูลเป็นแบบขนาน
- ทำงานด้วยสัญญาณนาฬิกาขนาด 13 MHz
- ใช้กับระดับสัญญาณดิจิตอลชนิด TTL 5 โวลต์

การออกแบบวงจร

เพื่อให้ง่ายแก่การออกแบบจะทำการออกแบบในลักษณะจากบนลงล่าง (top down design) โดยแบ่งวงจรออกเป็นบล็อกหรือโมดูลตามหน้าที่ดังนี้คือ

หน่วยความจำ 2 ทิศทาง เนื่องจากคุณสมบัติของชิปที่ต้องการออกแบบนั้นต้องสามารถเก็บข้อมูลเข้าและถ่ายโอนข้อมูลออกได้ ดังนั้นสิ่งที่ต้องออกแบบเป็นอันดับแรก คือ หน่วยความจำ 2 ทิศทาง โดยมีคุณสมบัติพิเศษที่แตกต่างจากหน่วยความจำธรรมดาคือ สามารถเขียนข้อมูลเข้าและอ่านข้อมูลออกได้ในช่วงเวลาเดียวกันและเป็นอิสระต่อกัน โดยใช้เวลาที่สั้นมากซึ่งมีขาสัญญาณสำหรับเขียนข้อมูล (WRITE) และขาสัญญาณสำหรับการอ่านข้อมูล (READ) แยกจากกัน หน่วยความจำ 2 ทิศทาง ประกอบด้วยวงจรหลัก 2 ส่วน (Figure 2) ดังนี้

- RAM เป็นหน่วยความจำทำหน้าที่เก็บข้อมูล
- ส่วนควบคุม (controller) จะทำหน้าที่

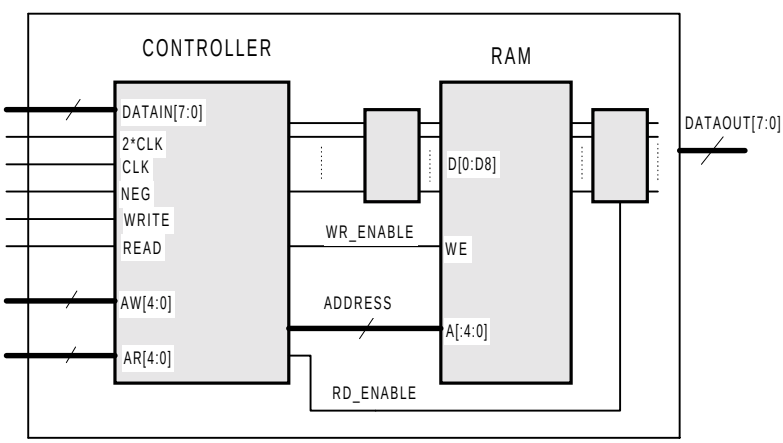

Figure 2 Dual port memory.

ควบคุมและสร้างสัญญาณการเขียน/อ่านข้อมูลไปยัง RAM (Wakerly, 1994) ในกรณีมีสัญญาณการเขียนข้อมูล (WRITE = 0) เข้ามา ส่วนควบคุมจะสร้างสัญญาณ ADDRESS ของการเขียนพร้อมกับสัญญาณ WR_ENABLE ซึ่งเป็นพัลส์ที่แคบมาก (Figure 3) มีความกว้าง 1/4 เท่าของคาบเวลาของสัญญาณ CLK เพื่อเขียนข้อมูลเข้า RAM [RAM ที่ถูกสร้างขึ้นจากชิป FPGA มีคุณสมบัติที่พิเศษคือมีเวลาเข้าถึง (access time) ที่สั้นมากประมาณ 10 ns] ในกรณีที่ไม่มีการเขียนข้อมูล สัญญาณ WR_ENABLE จะเป็นลอจิก 0 นั่นคืออยู่ในสภาพที่พร้อมสำหรับรอรับสัญญาณการอ่านข้อมูล ดังนั้นเมื่อต้องการอ่านข้อมูล (READ = 0) ส่วนควบคุมจะสร้างสัญญาณ ADDRESS ของการอ่านพร้อมกับสร้างสัญญาณ RD_ENABLE ออกมาข้อมูลที่เก็บอยู่ภายใน RAM ก็จะปรากฏที่ DATAOUT ซึ่งมีแผนภาพเวลา (Figure 4)

ในกรณีที่มีการซิงโครนัสกันระหว่างสัญญาณ READ และ WRITE เมื่อมีสัญญาณการเขียนและอ่านข้อมูลเข้ามาที่หน่วยความจำพร้อมกันจะเกิดการอ่านและเขียนข้อมูลในช่วงเวลาเดียวกัน เนื่องจาก

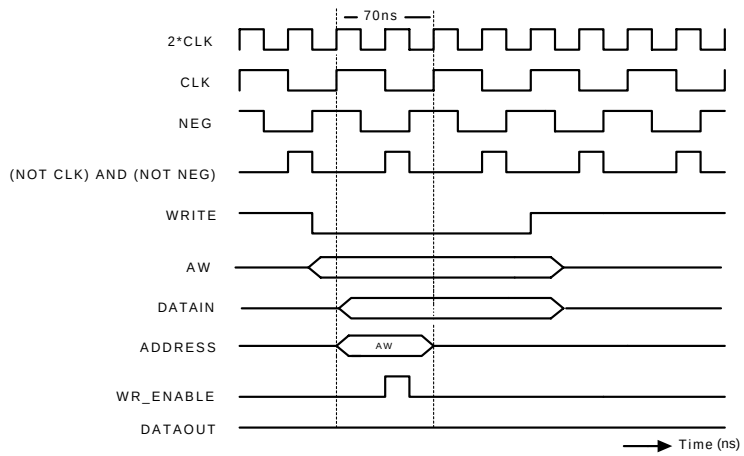

Figure 3 Write cycle of dual port memory.

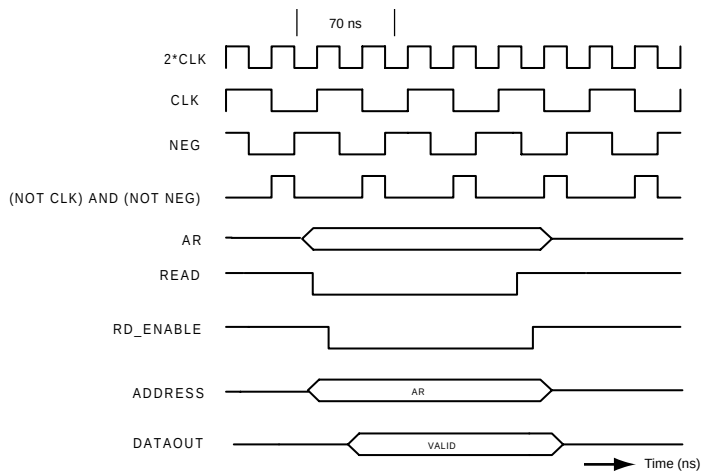

Figure 4 Read cycle of dual port memory.

เวลาที่ใช้สำหรับเขียนข้อมูลนั้นสั้นมากทำให้เวลาที่เหลือถูกใช้สำหรับอ่านข้อมูลซึ่งมีแผนภาพเวลาแสดง (Figure 5)

การออกแบบ FIFO เพื่อให้การเก็บข้อมูลเข้าและนำข้อมูลออกจากหน่วยความจำ 2 ทิศทางมีการเรียงลำดับของข้อมูล จึงได้นำหน่วยความจำนี้มาทำเป็นวงจร FIFO (Figure 6) ซึ่งประกอบด้วยวงจรส่วนต่าง ๆ ดังนี้

- วงจรชี้ตำแหน่งการเขียน (write pointer) ทำหน้าที่ชี้ตำแหน่งแอดเดรสในกระบวนการเขียนข้อมูลเข้าหน่วยความจำ
- วงจรชี้ตำแหน่งการอ่าน (read pointer) ทำหน้าที่ชี้ตำแหน่งแอดเดรสในกระบวนการอ่านข้อมูลออกจากหน่วยความจำ
- ตัวบ่งชี้สถานะการทำงาน (flag status) ทำหน้าที่บอกสถานะของหน่วยความจำว่าอยู่ใน

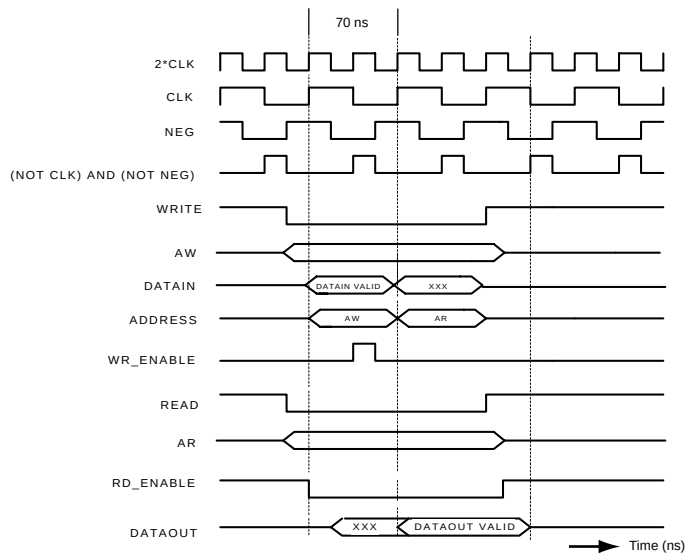

Figure 5 Simultaneous read-write cycle of dual port memory.

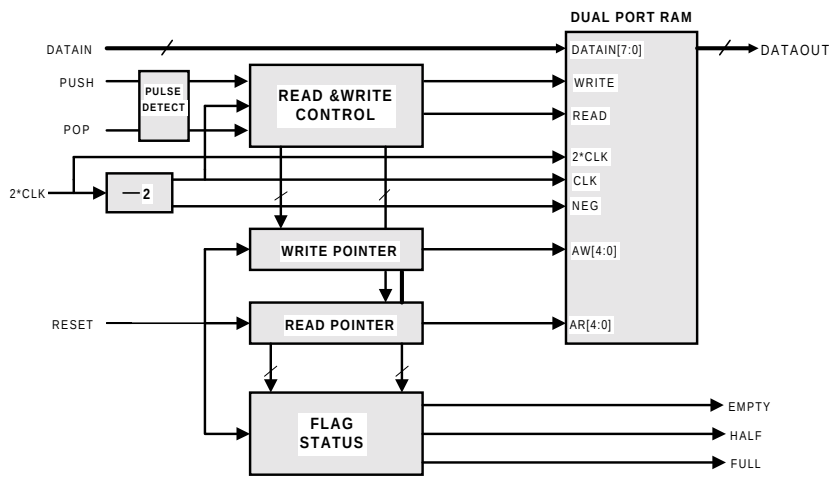

Figure 6 Block diagram of FIFO.

สถานะใด

- วงจรควบคุมการเขียน (write control) ทำหน้าที่ควบคุมการเขียนข้อมูลเข้าหน่วยความจำ ถ้าหากข้อมูลเต็มแล้วจะไม่สามารถเขียนเข้าไปเก็บได้อีก

- วงจรควบคุมการอ่าน (read control) ทำหน้าที่ควบคุมการอ่านข้อมูลออกจากหน่วยความจำ ถ้าไม่มีข้อมูลอยู่ในหน่วยความจำเลยแม้จะมีสัญญาณการอ่านมาก็ตามจะไม่สามารถอ่านข้อมูลออกมาได้

- วงจรหน่วยความจำแบบ 2 ทิศทาง ทำหน้าที่เก็บข้อมูลที่ถูกส่งมาจากไมโครโปรเซสเซอร์

- วงจรตรวจจับสัญญาณการเขียน/อ่าน (pulse detect) ทำหน้าที่จับสัญญาณการเขียน/อ่านที่เข้ามาพร้อมทั้งปรับความกว้างพัลส์ของสัญญาณที่ได้ให้เหมาะสม ดังนั้นไม่ว่าสัญญาณการเขียน/อ่านจะมาจากไมโครโปรเซสเซอร์ตระกูลใดก็ตามจะสามารถใช้กับระบบนี้ได้

- วงจรหารความถี่ ใช้หารความถี่ของสัญญาณนาฬิกา ให้ต่ำลง 2 เท่า

ในการที่จะให้สามารถติดต่อรับส่งข้อมูลกับบัสข้อมูล (data bus) ของไมโครโปรเซสเซอร์และ RAM ของ PABX ได้นั้น ต้องออกแบบวงจรส่วนที่ทำหน้าที่ควบคุมการใช้บัส และ RAM ดังนี้

วงจรบัฟเฟอร์ (buffer) ประกอบด้วย ADDRESS BUFFER, DATA BUFFER, STATUS BUFFER ทำหน้าที่ป้องกันการชนกันของสัญญาณข้อมูลในระบบบัส

วงจรควบคุม ทำหน้าที่ควบคุมการติดต่อระหว่างชิปวงจรรวมกับไมโครโปรเซสเซอร์และการเชื่อมต่อ RAM ของ PABX เข้ากับระบบบัสข้อมูลในกรณีที่ไมโครโปรเซสเซอร์ต้องการติดต่อด้วย

เมื่อนำวงจรต่าง ๆ เหล่านี้มารวมกันก็จะได้ฟังก์ชันการทำงานเป็นวงจรรวมที่สมบูรณ์ (Figure 7) สำหรับใช้เชื่อมโยงการถ่ายโอนและแลกเปลี่ยนข้อมูลระหว่างไมโครโปรเซสเซอร์ 16 บิต กับไมโครโปรเซสเซอร์ 8 บิต และ RAM ของ PABX เพื่อประยุกต์ใช้ในระบบตู้สาขาโทรศัพท์อัตโนมัติแบบดิจิตอล

การออกแบบวงจรทั้งหมดในงานวิจัยนี้ได้ใช้ภาษา VHDL เขียนอธิบายและบรรยายการทำงานร่วมกับการเขียนผังวงจร และใช้ชุดซอฟต์แวร์ Workview Plus version 5 ของบริษัท Viewlogic

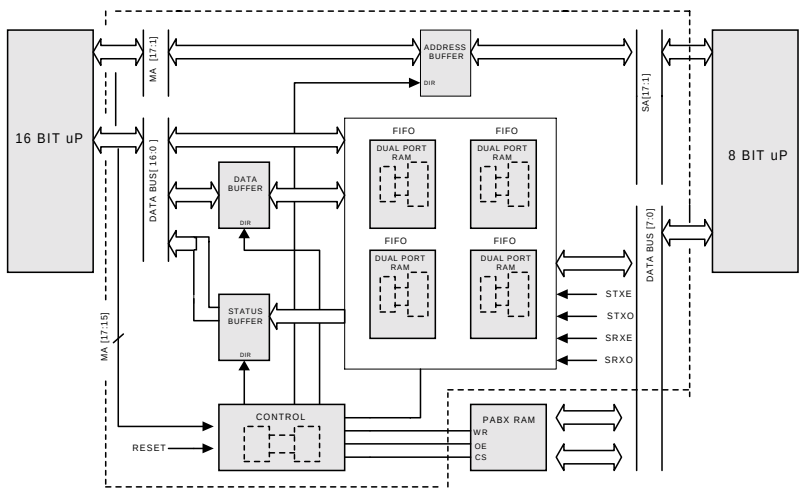

Figure 7 Internal architecture of designed ASIC chip.

ช่วยในการเขียนโปรแกรมการออกแบบ สำหรับรายละเอียดเกี่ยวกับวิธีการใช้ซอฟต์แวร์ช่วยในการออกแบบและวิธีการเขียนภาษา VHDL สามารถอ่านได้จากเอกสารอ้างอิง (Viewlogic, 1993a, 1993b, 1993c; Smith, 1996)

การโปรแกรมชิป FPGA

หลังจากได้ออกแบบการทำงานของวงจรรวมโดยการเขียนด้วยภาษา VHDL แล้วจึงนำวงจรที่สังเคราะห์ได้มาจำลองการทำงานโดยใช้โปรแกรม Viewsim (Viewlogic, 1993c) รายละเอียดผลการจำลองการทำงานสามารถดูได้จากอัมพร (2541) หลังจากได้ผลการจำลองการทำงานที่ถูกต้องแล้ว จึงนำวงจรที่สังเคราะห์ได้นี้ไปโปรแกรมลงบนชิป FPGA เพื่อการทดสอบต่อไป โดยทั่วไปสามารถโปรแกรมการทำงานของชิป FPGA ได้ 2 วิธี ดังนี้คือ

1. การโปรแกรมผ่านทางพอร์ต RS-232 ของคอมพิวเตอร์ วิธีนี้ไฟล์ข้อมูลที่ได้จากการออกแบบจะถูกโหลดโดยตรงจากพอร์ต RS-232 หรือพอร์ตอนุกรมผ่านสาย Xchecker Cable มายัง FPGA การโปรแกรม FPGA (กรกฎ, 2538) โดยวิธีนี้จะทำได้สะดวกและรวดเร็ว แต่มีข้อเสียคือ ไม่สามารถนำชิป FPGA ไปใช้งานได้โดยลำพังต้องมีคอมพิวเตอร์อยู่ด้วยเสมอ วิธีนี้จึงเหมาะสำหรับการทดสอบเบื้องต้น

2. การโปรแกรมผ่านทาง PROM หรือ EPROM เนื่องจากชิป FPGA เองไม่สามารถเก็บข้อมูลในการทำงานไว้ได้อย่างถาวร ดังนั้นจึงไม่สามารถที่จะโหลดไฟล์ข้อมูลการทำงานลงบนชิป FPGA ได้โดยตรง จึงต้องใช้หน่วยความจำชนิด PROM หรือ EPROM เป็นตัวเก็บข้อมูลการทำงานของ FPGA (ไฟล์ที่เก็บใน EPROM เรียกว่าไฟล์การจัดรูปลักษณ์ หรือ configuration file) ไว้ จากนั้นจึงให้ชิป FPGA อ่านข้อมูลของการออกแบบจาก EPROM หรือ PROM อีกทีหนึ่ง การต่อชิปเพื่อใช้งานในที่นี้จะต่อในโมด master serial (Figure 8) สำหรับรายละเอียดเกี่ยวกับโมดการใช้งานของ FPGA สามารถอ่านได้จากเอกสารอ้างอิง (Xilinx, 1993)

ในงานวิจัยนี้ได้เลือกใช้ FPGA ของบริษัท Xilinx เบอร์ XC 4010 และ XC 4003 สาเหตุที่ใช้ชิป FPGA 2 ตัว เนื่องจากจำนวนขาของชิป FPGA เบอร์ XC 4010 ซึ่งเป็นตัวที่ใช้ในการออกแบบจริง มีน้อยกว่า

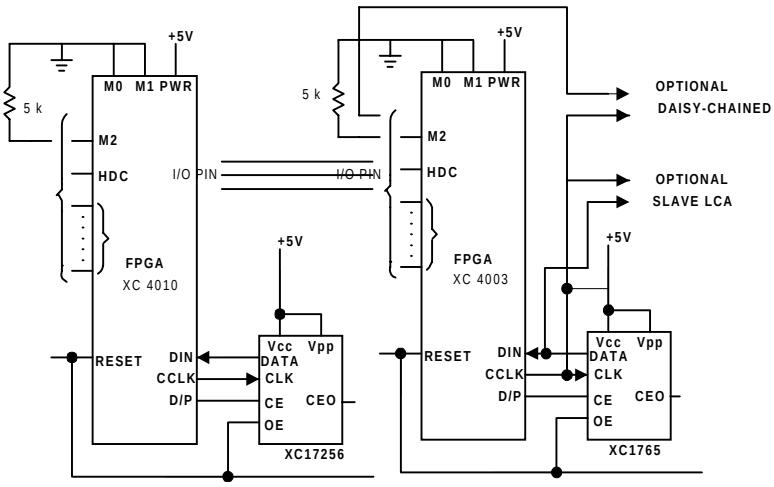

Figure 8 FPGA configuration in master serial mode.

จำนวนขาของวงจรรวมที่ออกแบบ (FPGA XC4010 ชนิด PLCC 84 PINS มีขาทั้งสิ้น 84 ขา สามารถโปรแกรมให้ใช้งานได้จริงเพียง 61 ขา ขณะที่วงจรรวมที่ออกแบบมีขาทั้งหมด 78 ขา) อันที่จริงสามารถสั่งซื้อชิป FPGA ชนิด PQFP 160 ซึ่งมี 160 ขา มาใช้ได้แต่ค่าใช้จ่ายในการสั่งชิปเพียงตัวเดียวมีราคาแพงมาก อีกทั้งระยะเวลาในการสั่งก็ใช้เวลานานด้วย ดังนั้น จึงนำเอาชิป FPGA เบอร์ XC 4003 ซึ่งเป็นชิปที่มีอยู่แล้ว มาใช้งานร่วมกับ XC 4010 (Xilinx, 1996) วงจรรวมที่ออกแบบเสร็จแล้วประกอบด้วยจำนวนขาสัญญาณทั้งหมด 78 ขา มีการจัดเรียงขาสัญญาณต่าง ๆ ดัง Figure 9

ขาสัญญาณอินพุต

SRXO: เมื่อเป็นลอจิก 0 จะส่งข้อมูลไบต์บนให้ไมโครโปรเซสเซอร์ทาง SD[7:0]

SRXE: เมื่อเป็นลอจิก 0 จะส่งข้อมูลไบต์ล่างให้ไมโครโปรเซสเซอร์ทาง SD[7:0]

STXO: เมื่อเป็นลอจิก 0 จะรับข้อมูลไบต์บนจากไมโครโปรเซสเซอร์ทาง SD[7:0]

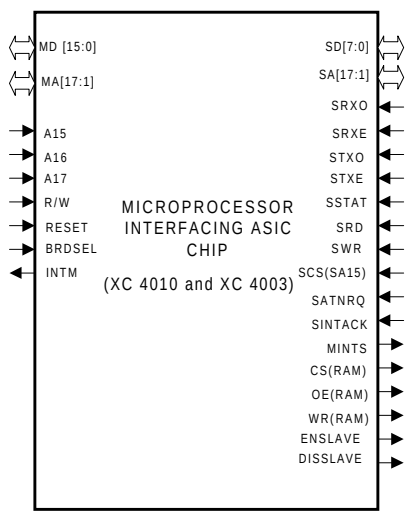

Figure 9 Signal pins configuration of designed ASIC chip.

STXE: เมื่อเป็นลอจิก 0 จะรับข้อมูลไบต์ล่างจากไมโครโปรเซสเซอร์ทาง SD[7:0]

SSTAT: เมื่อเป็นลอจิก 0 แสดงสถานะของวงจรรวมทาง SD[2:0]

R/W: ไมโครโปรเซสเซอร์ 16 บิตใช้สำหรับการเขียน/อ่านข้อมูล

RESET: เมื่อเป็นลอจิก 0 จะเป็นการรีเซ็ตวงจรรวม

SWR: ไมโครโปรเซสเซอร์ใช้ขานี้เมื่อต้องการเขียน ข้อมูลลง RAM ของ PABX

SRD: ไมโครโปรเซสเซอร์ใช้ขานี้เมื่อต้องการอ่าน ข้อมูลจาก RAM ของ PABX

SCS: ไมโครโปรเซสเซอร์ใช้ขานี้เมื่อต้องการติดต่อกับ RAM ของ PABX

SATNRQ: ไมโครโปรเซสเซอร์ 8 บิตใช้ขัดจังหวะ (interrupt) ไมโครโปรเซสเซอร์ 16 บิต ในกรณีที่ไมโครโปรเซสเซอร์ 8 บิตต้องการให้ไมโครโปรเซสเซอร์ 16 บิต มารับข้อมูลที่อยู่ใน FIFO

SINTACK: สัญญาณตอบรับการขัดจังหวะจากไมโครโปรเซสเซอร์ 8 บิต

BRDSEL: ใช้เอนเอเบิลชิปวงจรรวมให้ทำงาน

ขาสัญญาณสองทิศทาง

MD[15:0]: ใช้เป็นขาสัญญาณข้อมูล 16 บิต สองทิศทาง

MA[17:1]: ใช้เป็นขาแอดเดรส โดยเส้นที่ 15-17 ใช้สำหรับเลือกฟังก์ชันการทำงานของชิปวงจรรวม สำหรับแอดเดรสที่เหลือถูกใช้เป็นแอดเดรสของ RAM ของ PABX

SD[7:0]: ใช้เป็นขาข้อมูล 8 บิต สองทิศทาง

SA[17:1]: ใช้เป็นขาแอดเดรสสำหรับติดต่อกับไมโครโปรเซสเซอร์ 8 บิต และ RAM ของ PABX

ขาสัญญาณเอาต์พุต

DISSLAVE: ใช้ในการดิสเอเบิลไมโครโปรเซสเซอร์ 8 บิต ให้ออกจากระบบบัส

ENSLAVE: ใช้ในการเอนเอเบิลไมโครโปรเซสเซอร์ 8 บิต ให้เข้าใช้บัส

INTM: ใช้ในการขัดจังหวะไมโครโปรเซสเซอร์16 บิต

CS(RAM): ใช้เลือก RAM ของ PABX

OE(RAM): ใช้เอนเนเบิล RAM ของ PABX เมื่อต้องการอ่านข้อมูล

WR(RAM): ใช้เขียนข้อมูลลง RAM ของ PABX

MINTS: ใช้ในการขัดจังหวะไมโครโปรเซสเซอร์ 8 บิต

ผลและวิจารณ์

การทดสอบวงจร

ในงานวิจัยนี้ได้ใช้ไมโครคอมพิวเตอร์ IBM PC-286 ขนาด 16 บิต และ Z-80 Single Board ขนาด 8 บิต มาทำการทดสอบกับชิปวงจรรวม ในการเชื่อมต่อชิปวงจรรวมกับไมโครคอมพิวเตอร์ IBM PC 286 และ Z-80 Single Board นั้นได้สร้างแผงวงจรถอดรหัส (decoder) ขึ้นเพื่อทำหน้าที่ถอดรหัสสัญญาณการเลือกพอร์ตที่ถูกส่งมาจากไมโครคอมพิวเตอร์ IBM PC-286 และ Z-80 Single Board (Figure 10A, Figure 10B)

ชิปที่สร้างขึ้นมานี้ถูกออกแบบให้สามารถรับส่งข้อมูลขนาด 1 เวิร์ด (word) กับไมโครโปรเซสเซอร์ 16 บิต และรับส่งข้อมูลขนาด 1 ไบต์ กับไมโครโปรเซสเซอร์ 8 บิต โดยใช้อัลกอริทึมของการรับส่งข้อมูลแบบเข้าก่อนออกก่อน นอกจากนี้ยังมีขาพิเศษที่คอยแสดงสถานะของชิปตลอดเวลาว่าอยู่ในสถานะใด สำหรับให้ไมโครโปรเซสเซอร์ตรวจสอบก่อนทำการรับส่งข้อมูล ในการทดสอบฟังก์ชันการทำงานของชิปวงจรรวมได้ทำการต่อชิปวงจรรวมเข้ากับไมโครคอมพิวเตอร์ IBM PC-286 (ไมโครโปรเซสเซอร์ ชนิด 16 บิต) และ Z-80 single board (ไมโครโปรเซสเซอร์ 8 บิต) โดยเขียนโปรแกรมทดสอบฟังก์ชันการรับส่งข้อมูล (ซึ่งถือว่าเป็นฟังก์ชันการทำงานที่สำคัญอย่างหนึ่งในหลาย ๆ ฟังก์ชันที่ได้ออกแบบไว้) ด้วยภาษา C (Schilt, 1992) บนไมโครคอมพิวเตอร์ 16 บิต และภาษา Assembly บน Z-80 single board ให้ไมโครโปรเซสเซอร์ 2 ตัวทำการถ่ายโอนและแลกเปลี่ยนข้อมูลกันโดยผ่านชิปวงจรรวมโดยแบ่งการทดสอบฟังก์ชันการรับส่งข้อมูลออกเป็น 3 กรณี ดังต่อไปนี้

(1) กรณีไมโครโปรเซสเซอร์ 16 บิต ต้องการที่จะส่งข้อมูลให้กับไมโครโปรเซสเซอร์ 8 บิต ไมโครโปรเซสเซอร์ 16 บิตจะส่งข้อมูลออกมาทางบัสข้อมูลเพื่อเก็บไว้ในชิปโดยส่งมาทีละ 1 เวิร์ด โดยการเก็บข้อมูลของชิปจะใช้อัลกอริทึมแบบเข้าก่อนออกก่อน เมื่อไมโครโปรเซสเซอร์ 8 บิต ต้องการข้อมูลที่ถูกเก็บไว้ในชิปจะต้องทำการอ่านข้อมูลออกทีละ 1 ไบต์จำนวน 2 ครั้ง ในการทดสอบได้ส่งข้อมูลจากไมโครคอมพิวเตอร์ 286 ชนิด 16 บิตไปยัง Z-80 Single Board ผลปรากฏว่า Z-80 Single Board สามารถรับข้อมูลได้ถูกต้อง

(2) กรณีไมโครโปรเซสเซอร์ 8 บิต ต้องการส่งข้อมูลให้ไมโครโปรเซสเซอร์ 16 บิต ซึ่งไมโครโปรเซสเซอร์ 8 บิต ต้องส่งข้อมูลออกมาที่บัสข้อมูล 2 ครั้ง ครั้งละ 8 บิต เพื่อมาเก็บไว้ในชิป เมื่อไมโครโปรเซสเซอร์ 16 บิต ต้องการข้อมูลก็จะส่งสัญญาณการอ่านออกมายังชิปนี้ ข้อมูลที่ถูกเก็บไว้ก็จะปรากฏที่บัสข้อมูลของไมโครโปรเซสเซอร์ 16 บิตทันทีในการทดสอบได้ให้ Z-80 Single Board ส่งข้อมูลออกมายังไมโครคอมพิวเตอร์ ผลปรากฏว่าไมโครคอมพิวเตอร์ IBM PC-286 สามารถรับข้อมูลได้ถูกต้อง

(3) กรณีที่ไมโครโปรเซสเซอร์ 16 บิต ต้องการที่จะติดต่อกับ RAM ของ PABX โดยตรง (transparent mode) ชิปนี้ก็จะทำการดิสเอเบิลไมโครโปรเซสเซอร์ 8 บิตออกจากระบบบัสทันที พร้อมกับ

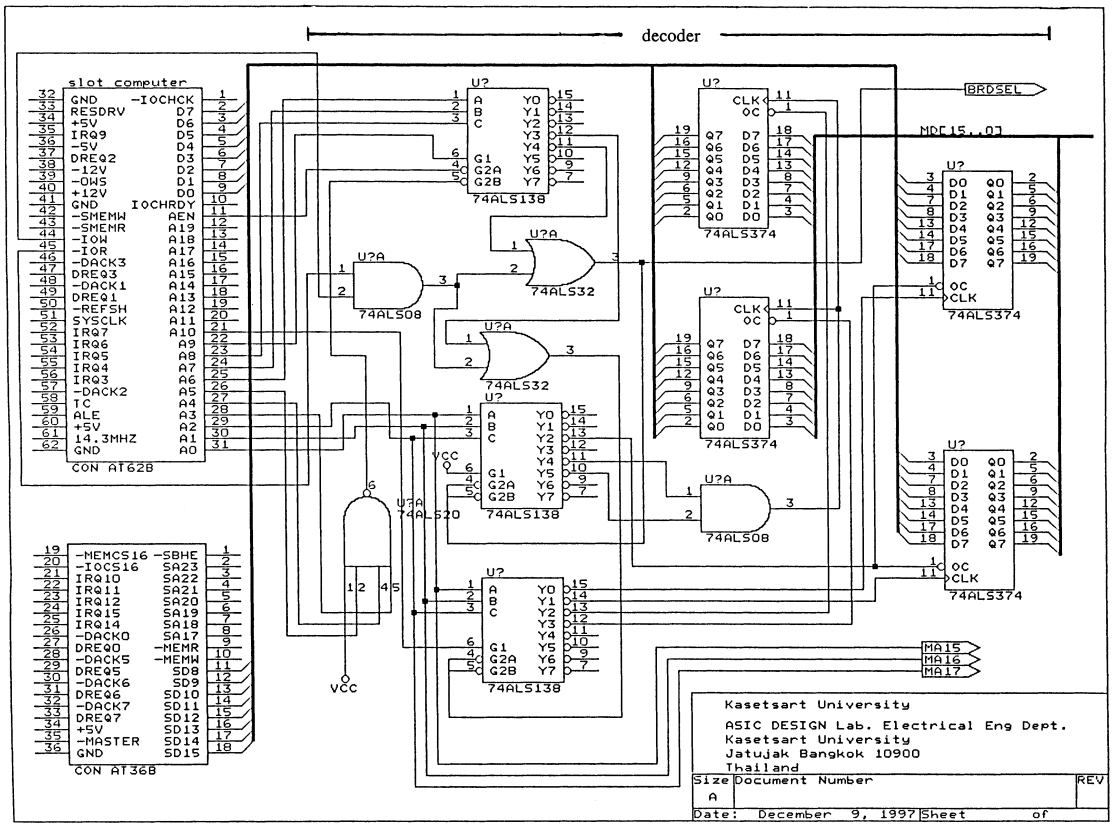

Figure 10A Interfacing circuit between ASIC chip and 16 bit microcomputer.

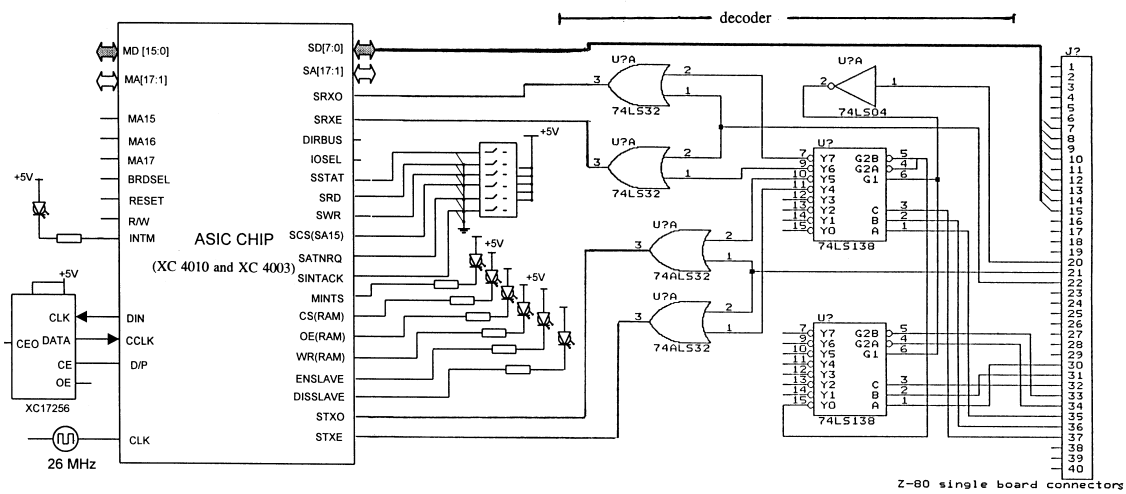

Figure 10B Interfacing circuit between ASIC chip and Z-80 connectors.

ส่งสัญญาณไปเอนเอเบิล RAM ให้เข้าใช้บัสข้อมูลแทน โดยชิปวงจรรวมจะเปลี่ยนหน้าที่ไปควบคุมการรับส่งข้อมูลระหว่าง ไมโครโปรเซสเซอร์ 16 บิต กับ RAM ของ PABX ทันที ในการทดสอบได้ส่งสัญญาณลอจิก '0' ออกมาที่ขา DISSLAVE ของชิปวงจรรวมเพื่อดิสเอเบิลไมโครโปรเซสเซอร์ 8 บิต โดยใช้ LED เป็นตัวแสดงผล ผลปรากฏว่า LED ติดสว่าง ซึ่งเป็นผลที่ถูกต้องตามที่ออกแบบไว้

การทดสอบชิปวงจรรวมในฟังก์ชันการทำงานส่วนอื่น ๆ นอกเหนือจากฟังก์ชันการรับส่งข้อมูลนั้นได้ทำการทดสอบโดยการเขียนโปรแกรมทดสอบในแต่ละขาสัญญาณ ซึ่งผลการทดสอบที่ได้จะแสดงผลด้วย LED ตัวอย่างโปรแกรมที่ใช้ในการทดสอบชิปวงจรรวมศึกษาได้จากเอกสารอ้างอิง (กรกฎ และ อัมพร, 2540) จากการทดสอบดังกล่าวผลปรากฏว่าขาสัญญาณต่าง ๆ ของชิปวงจรรวมสามารถทำงานร่วมกับไมโครโปรเซสเซอร์ได้เป็นอย่างดี ชิปที่ออกแบบสามารถทำงานได้ตามฟังก์ชันที่กำหนด และนำมาสร้างเป็นวงจรต้นแบบได้ (Figure 11)

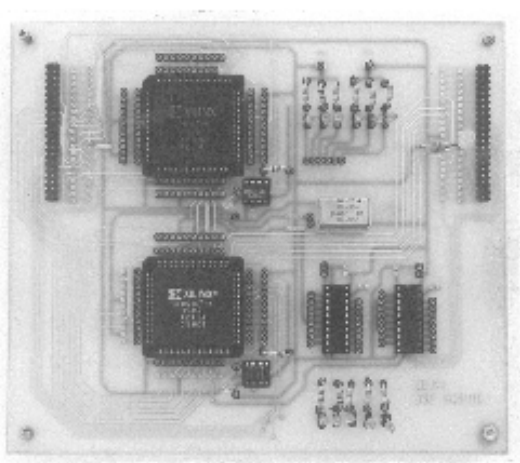

Figure 11 Photo of prototype including ASIC chip.

สรุป

งานวิจัยนี้เสนอการออกแบบ สร้าง และทดสอบชิปวงจรรวม สำหรับทำหน้าที่เชื่อมโยงการถ่ายโอนและแลกเปลี่ยนข้อมูลระหว่างไมโครโปรเซสเซอร์ 16 บิต กับไมโครโปรเซสเซอร์ 8 บิต และ RAM ของระบบ PABX เพื่อประยุกต์ใช้ในระบบตู้สาขาโทรศัพท์อัตโนมัติแบบดิจิตอล ดังมีรายละเอียด

1. ภายในชิปมีฟังก์ชันที่สำคัญคือประกอบด้วย FIFO ขนาด 128 ไบต์สำหรับเก็บข้อมูล วงจรควบคุมการเข้าใช้บัส วงจรแฟลกบอกสถานะการทำงาน วงจรมัลติเพล็ก วงจรถอดรหัส วงจรบัฟเฟอร์ และวงจรนับ โดยใช้ทรัพยากรภายใน FPGA ทั้งสิ้น 310 CLB (ประมาณ 2,700 เกต) และมีจำนวนขาที่ใช้งานทั้งหมด 78 ขา

2. ในงานวิจัยนี้ใช้วิธีการออกแบบวงจรดิจิตอลในระดับ VHDL ซึ่งเป็นภาษาที่ใช้เขียนอธิบายการทำงานของระบบใด ๆ แทนการสร้างวงจรขึ้นมา จากนั้นทำการจำลองการทำงานก่อนที่จะนำไปสร้างเป็นวงจรจริง ๆ

3. จากการนำชิปวงจรรวมไปทดสอบการทำงานร่วมกับไมโครโปรเซสเซอร์ โดยให้ทำการรับส่งข้อมูลร่วมกับไมโครคอมพิวเตอร์ 16 บิตและไมโครโปรเซสเซอร์ 8 บิต ผลปรากฏว่าชิปวงจรรวมสามารถทำงานได้ถูกต้องตามฟังก์ชันที่กำหนด

คำขอบคุณ

ผู้วิจัยขอขอบคุณศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ (NECTEC) ที่ได้ให้ทุนสนับสนุนโครงการวิจัยนี้

เอกสารอ้างอิง

กรกฎ วัฒนวิเชียร. 2537. การออกแบบและสร้างวงจรรวมขนาดใหญ่มากเชิงพาณิชย์สำหรับPABX. รายงานวิจัยฉบับสมบูรณ์ ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ, กระทรวงวิทยาศาสตร์เทคโนโลยีและสิ่งแวดล้อม. กรุงเทพฯ. 94 น.

กรกฎ วัฒนวิเชียร. 2538. การประยุกต์ใช้ชิป FPGA กับการตรวจสอบการทำงานของเครื่องไมโครคอมพิวเตอร์. คณะวิศวกรรมศาสตร์มหาวิทยาลัยเกษตรศาสตร์, กรุงเทพฯ . 18 น.

กรกฎ วัฒนวิเชียร และ อัมพร ขันกำเหนิด. 2540. การออกแบบชิปวงจรรวมเฉพาะกิจสำหรับการเชื่อมโยงไมโครโปรเซสเซอร์ในระบบตู้ชุมสายโทรศัพท์อัตโนมัติแบบดิจิตอล, น. 260-274. ในการประชุมใหญ่วิชาการทางวิศวกรรมประจำปี 2540. 20-23 พ.ย. 2540 กรุงเทพฯ. สมาคมวิศวกรรมสถานแห่งประเทศไทย ในพระบรมราชูปถัมภ์.

อัมพร ขันกำเหนิด. 2541. การออกแบบวงจรรวมสำหรับอินเตอร์เฟสไมโครโปรเซสเซอร์ในระบบชุมสายโทรศัพท์ดิจิตอลอัตโนมัติขนาดใหญ่. วิทยานิพนธ์ปริญญาโท. มหาวิทยาลัยเกษตรศาสตร์, กรุงเทพฯ.

Perry, L.1991. VHDL . McGraw-Hill, Inc., California. 625 p.

Schilt, H. 1992. Turbo C/C++ The Complete Reference. McGraw-Hill, Inc., Osborne 918 p.

Smith, J. 1996. HDL Chip Design. Doone Publication, Madison, Alabama. 448p.

Viewlogic.1993a. View Synthesis User's Guide. Viewlogic System Inc., Massachusetts. 190 p.

Viewlogic.1993b. Schematic Design User's Guide. Viewlogic System Inc., Massachusetts. 121 p.

Viewlogic. 1993c. Viewsim Reference Manual. Viewlogic System Inc., Massachusetts. 448 p.

Wakerly, F. 1994. Digital Design. Prentice-Hall, Inc., New Jersy. 840 p.

Xilinx.1993. VIEWlogic Interface User's Guide. Xilinx Co.Ltd., California. 356 p.

Xilinx. 1996. The Programmable Logic Data Book. Xilinx Co.Ltd., California. 614 p.

วันรับเรื่อง : 12 ก.พ. 41
วันรับตีพิมพ์ : 11 มิ.ย. 41