หน่วยความจำเปลี่ยนเฟส : เทคโนโลยีบันทึกข้อมูลแห่งอนาคต ตอนที่ 2

Phase Change Memory: The Future of Data Storage Technology Part II

สันชัย หาญสูงเนิน[1]

Sanchai Harnsoongnoen[1]

Received : 5 June 2012 ; Accepted : 15 October 2012

บทคัดย่อ

บทความฉบับนี้เป็นการนำเสนอบทนำเกี่ยวกับเทคโนโลยีหน่วยความจำเปลี่ยนเฟส ตอนที่ 2 ที่ประกอบด้วยรายละเอียดพื้นฐานของหน่วยความจำเปลี่ยนเฟสซึ่งครอบคลุมตั้งแต่ โครงสร้างของเซลล์ทั้งในแบบแนวตั้งและแนวนอน กระบวนการในการเขียนอ่านข้อมูลที่มีพื้นฐานมาจากการกระตุ้นด้วยความร้อนโดยการควบคุมขนาดและช่วงเวลาของสัญญาณไฟฟ้าที่ป้อนให้กับเซลล์ ส่วนประกอบและสถาปัตยกรรมของเซลล์ที่ประกอบด้วยตัวเซลล์และตัวควบคุมการทำงานของเซลล์ เสถียรภาพและความทนทานของข้อมูลที่แสดงถึงประสิทธิภาพและอายุการใช้งานของหน่วยความจำ การลดขนาดของเซลล์ที่ขึ้นอยู่กับคุณสมบัติของวัสดุ ผลรวมของกำลังทั้งหมดที่ใช้ในระหว่างการเขียนอ่าน ความร้อนที่แผ่ออกมาระหว่างเซลล์ข้างเคียง และความเสียหายที่เกิดขึ้นจากกลไกต่าง ๆ ของหน่วยความจำเปลี่ยนเฟส สุดท้ายเป็นการวิเคราะห์ถึงทิศทางในการพัฒนาหน่วยความจำเปลี่ยนเฟสในอนาคต

คำสำคัญ : เทคโนโลยีบันทึกข้อมูล หน่วยความจำแบบไม่ลบเลือน หน่วยความจำเปลี่ยนเฟส

Abstract

This paper provides an introduction to phase change memory technology part II, which consists of the background of phase change memory, vertical and lateral cell structure; writing/reading operations based on thermal induction by controlling amplitude and time of application of an electrical pulse; storage element and array architecture, which consists of an array of identical memory cells each containing a phase change memory storage element and a switching device; reliability and endurance of data which shows the performance and retention of phase change memory; scaling of phase change memory cells, which are controlled by materials properties; power consumption during programming and read operation; thermal cross-talk between memory cells; failure mechanism; and finally, future development directions of phase change memory are also discussed.

Key words: Data Storage Technology**,** Non-volatile Memory, Phase Change Memory

บทนำ

จากบทความเรื่อง หน่วยความจำเปลี่ยนเฟส: เทคโนโลยีบันทึกข้อมูลแห่งอนาคต ตอนที่ 1 ได้กล่าวถึงประวัติความเป็นมาของวัสดุเปลี่ยนเฟส โครงสร้าง การปลูกฟิล์มบาง และหลักการทำงานของหน่วยความจำเปลี่ยนเฟสไปแล้วนั้น ทั้งหมดที่กล่าวมาเป็นเพียงรายละเอียดบางส่วนของหน่วยความจำเปลี่ยนเฟสเท่านั้น เพื่อให้เข้าใจมากยิ่งขึ้น ผู้เขียนจึงขยายความเพิ่มเติมเกี่ยวกับหน่วยความจำเปลี่ยนเฟสซึ่งมีความต่อเนื่องจากบทความที่ผ่านมา โดยจะได้อธิบายเกี่ยวกับโครงสร้างของเซลล์ กระบวนการในการอ่านเขียนข้อมูล ส่วนประกอบของเซลล์ สถาปัตยกรรมในการจัดเก็บข้อมูล ความทนทานและ เสถียรภาพของข้อมูล ความสามารถในการลดขนาดของเซลล์ และสุดท้ายจะกล่าวถึงทิศทางในการพัฒนาหน่วยความจำเปลี่ยนเฟสในอนาคต

[1] *อาจารย์, ภาควิชาฟิสิกส์ คณะวิทยาศาสตร์ มหาวิทยาลัยมหาสารคาม อำเภอกันทรวิชัย จังหวัดมหาสารคาม 44150*

[1] *Lecturer, Department of Physics, Faculty of Science, Mahasarakham Univeristy, Kantharawichi District, Maha Sarakham, 44150, Thailand.*

รายละเอียดต่างๆ เหล่านี้ล้วนเป็นหัวใจหลักในการทำความเข้าใจถึงกระบวนการและหลักการทำงานของหน่วยความจำเปลี่ยนเฟส ตลอดจนเป็นพื้นฐานที่ดีสำหรับการนำไปใช้ในการวิเคราะห์ถึงรูปแบบและแนวทางในการพัฒนาหน่วยความจำเปลี่ยนเฟสต่อไปในอนาคต ปัญหาที่สำคัญประการหนึ่งของเทคโนโลยีหน่วยความจำเปลี่ยนเฟส คือมีขนาดกระแสรีเซตที่สูง ซึ่งแนวทางในการแก้ไขสามารถแบ่งออกได้เป็น 2 แนวทางคือ ลดกระแสรีเซตโดยการปรับปรุงคุณสมบัติของวัสดุเปลี่ยนเฟสให้มีค่าสภาพต้านทานไฟฟ้าสูงขึ้นหรือมีสภาพต้านทานไฟฟ้าที่เหมาะสมในแต่ละชั้นสารภายในโครงสร้างของเซลล์หน่วยความจำ[1] อีกแนวทางหนึ่งคือ การปรับปรุงโครงสร้างของเซลล์ให้มีความเหมาะสม เช่น โครงสร้างไม่ซับซ้อน เซลล์มีขนาดเล็ก มีการจัดการพลังงานภายในเซลล์ได้อย่างมีประสิทธิภาพ เป็นต้น สำหรับรายละเอียดเกี่ยวกับคุณสมบัติของวัสดุเปลี่ยนเฟสนั้นผู้เขียนได้นำเสนอไปแล้วใน ตอนที่ 1 ของบทความฉบับที่ผ่านมา สำหรับในฉบับนี้ ผู้เขียนจะนำเสนอรายละเอียดเพิ่มเติมเกี่ยวกับหน่วยความจำเปลี่ยนเฟสซึ่งมีความต่อเนื่องจากบทความที่ผ่านมา โดยมีหัวข้อที่จะนำเสนอดังที่ได้กล่าวมาแล้วข้างต้น

โครงสร้างของหน่วยความจำเปลี่ยนเฟส

โครงสร้างหน่วยความจำเปลี่ยนเฟสนั้นมีด้วยกันหลายโครงสร้าง ซึ่งสามารถแบ่งออกได้เป็น 2 แบบคือ โครงสร้างตามแนวตั้ง (Vertical) และโครงสร้างตามแนวนอน (Lateral) โครงสร้างตามแนวตั้งแบบ Lance หรือเรียกได้อีก 2 ชื่อว่า Pillar และ NBC (Normal Bottom Contact) เป็นโครงสร้างแรกที่ถูกพัฒนาขึ้นเพื่อใช้ในการศึกษาหลักการทำงานของหน่วยความจำเปลี่ยนเฟส[2,3,4,5,6,7] ซึ่งแสดงได้ดัง Figure 1 นอกจากโครงสร้างดังกล่าวข้างต้นแล้วยังมีอีกหลายๆ โครงสร้างที่ได้มีการพัฒนาขึ้นมาหลังจากนั้น เช่น โครงสร้างแบบ μ–Trench[3,4,10,11],Pore[5,8,9], Ring[12,13], Stacked Ge-Sn Chalcogenide layer[14], Phase change bridge[15], PCM-U[16], Double confined[17,18], Edge[19,20] ซึ่งแสดงได้ดัง Figure 2 - 9 ตามลำดับ

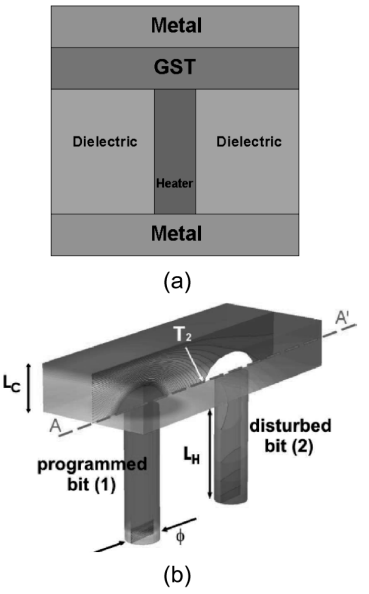


Figure 1 Structure of lance cell (pillar or NBC) (a) cross-section 2-D (b) calculated 3-D thermal map for two adjacent lance cells.

ยังมีโครงสร้างอีกหลายๆ แบบที่น่าสนใจแต่ไม่ได้นำเอามาเสนอในครั้งนี้ด้วย ซึ่งสามารถศึกษารายละเอียดเพิ่มเติมได้จากเอกสารอ้างอิงซึ่งอยู่ตอนท้ายของบทความ[21,22,23,24,25,26,27,28] โดยคุณสมบัติของแต่ละโครงสร้างได้แสดงไว้ในTable1 เมื่อพิจารณาจากโครงสร้างในแบบต่างๆ แล้วพบว่าโครงสร้างตามแนวตั้งเกือบทั้งหมดจะมีชั้นสารทำความร้อนเป็นองค์ประกอบ ซึ่งทำหน้าที่ในการสร้างความร้อนและส่งผ่านความร้อนไปยังชั้นวัสดุเปลี่ยนเฟส ในขณะที่โครงสร้างตามแนวนอนจะไม่มีชั้นสารทำความร้อนเป็นองค์ประกอบ จะสร้างความร้อนขึ้นภายในชั้นวัสดุเปลี่ยนเฟสโดยตรง ซึ่งโครงสร้างตามแนวนอนจะมีข้อดีคือ เซลล์มีขนาดเล็ก โครงสร้างไม่ซับซ้อน ใช้กระแส รีเซตต่ำ แต่มีข้อด้อยคือมีจำนวนรอบในการเขียนซ้ำต่ำเมื่อเทียบกับโครงสร้างตามแนวตั้ง โครงสร้างตามแนวนอนที่มีการศึกษาและพัฒนาอยู่ในปัจจุบันมีด้วยกันสองแบบ คือ Line cell และ Bridge cell

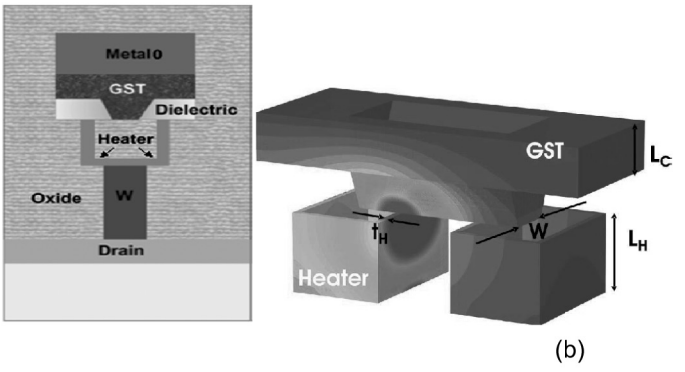
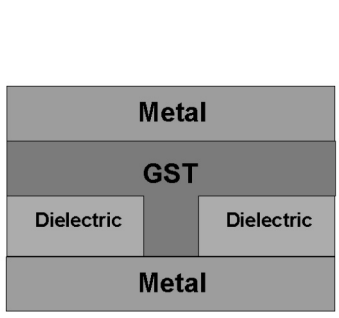


Figure2 Structure of μ-trench cell (a) cross-section2-D(b) calculated 3-D thermal map for μ-trench cell.



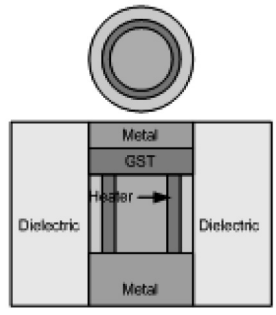


Figure3 Structure of pore cell. .**Figure 4** Structure of ring cell.

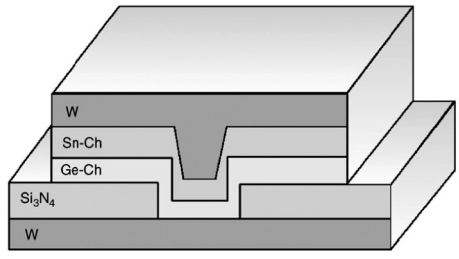


Figure5 Structure of stacked Ge-chalcogenide/Sn-chalcogenide layers.

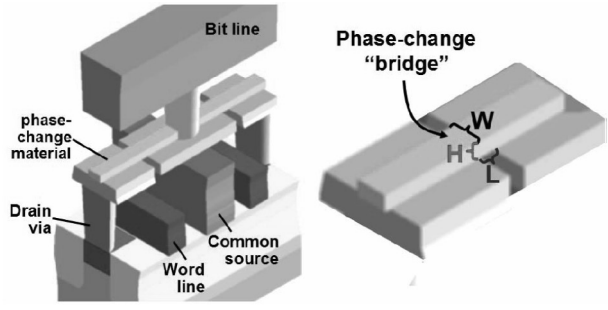


Figure6 Structure of phase-change bridge (PCB) memory cell.

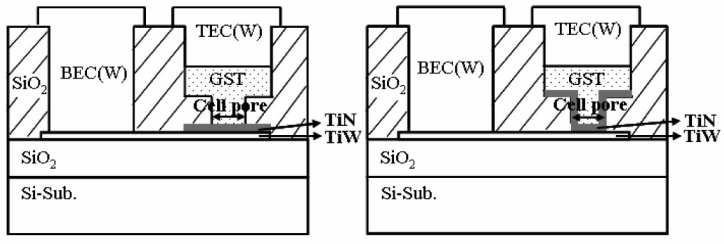


Figure7 Structure of pore cell (left) PCM-U cell (right).

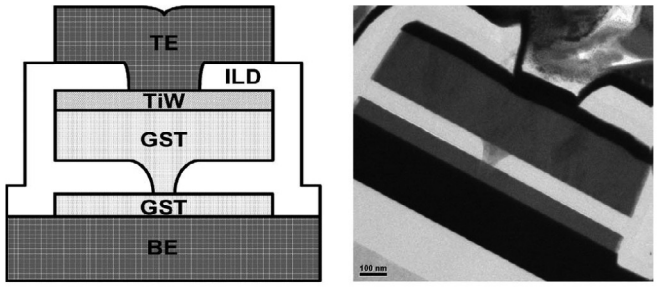


Figure8 Structure of double confined (left) cross-section of cell(right) TEM image.

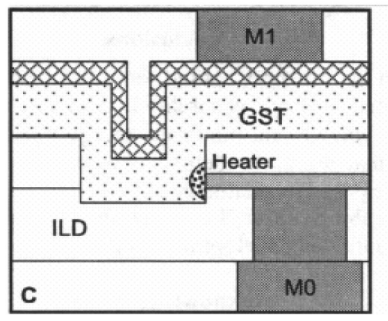


Figure9 Structure of edge cell.

Table 1 Summarized device performance of different structures sorted by mushroom-type, pore-like and self-heating device structures

Device structure	Mushroom-type		Pore-like		Self-heating	
	μ-trench	**Ring-shape**	**Confined structure**	**Pore PCRAM**	**Line cell**	**Bridge cell**
Minimum Programmed volume	400nm^2	1500nm^2	50nm via	40nm pore	50x80 nm^2	20x80 nm^2
Material	GST	GST	CVD GST	GST	Doped SbTe	GeSb
RESET current (mA)	0.4	0.45-0.6	0.26	0.25	0.2	0.1
Endurance	1x10^8	1x10^5	1x10^8	1x10^5	1x10^6	1x10^4
Data storage lifetime	>10 years 85°C	>10 years 85°C	N.A.	N.A.	N.A.	N.A.
Reference	[3, 21]	[23]	[25, 22]	[21,26]	[9]	[10]

กระบวนการในการบันทึกและจัดเก็บข้อมูล

การเปลี่ยนกลับไปมาระหว่างสถานะ อสัณฐานกับผลึกของหน่วยความจำเปลี่ยนเฟสจะเกิดขึ้นที่บริเวณชั้นวัสดุเปลี่ยนเฟสภายในเซลล์ของหน่วยความจำ การเปลี่ยนเฟสสามารถกระทำได้โดยการให้ความร้อนแก่ชั้นวัสดุเปลี่ยนเฟส ซึ่งได้รับมาจากชั้นสารทำความร้อน หรือสร้างขึ้นมาเองภายในชั้นวัสดุเปลี่ยนเฟส สถานะรีเซตเป็นสถานะที่มีค่าความต้านทานไฟฟ้าสูง หรือมีโครงสร้างเป็นอสัณฐาน และอีกสถานะหนึ่งคือ สถานะเซตซึ่งมีค่าความต้านทานไฟฟ้าต่ำ หรือมีโครงสร้างเป็นผลึก จากหลักการดังกล่าวสามารถนำมาประยุกต์ใช้ในการสร้างอุปกรณ์บันทึกข้อมูลเชิงแสง โดยอาศัยความแตกต่างในการสะท้อนแสงเป็นตัวแบ่งแยกสถานะของเฟส และในอีกทางหนึ่งก็ได้นำหลักการดังกล่าวนี้มาใช้ในการสร้างหน่วยความจำแบบโซลิดสเตทชนิดเปลี่ยนเฟสที่อาศัยความแตกต่างของค่าความต้านทานไฟฟ้าเป็นตัวแบ่งแยกเฟส มีสารประกอบเปลี่ยนเฟสจำนวนมากที่สามารถทำให้เกิดความแตกต่างของค่าความต้านทานไฟฟ้าได้หลายๆ โดยที่ไม่ทำให้เกิดความเสียหายขึ้นกับโครงสร้างของสาร ซึ่งสารประกอบเหล่านั้นสามารถนำมาใช้เป็นวัสดุเปลี่ยนเฟสในเซลล์หน่วยความจำได้ เช่น GST (Ge-Sb-Te) เป็นต้น

กระบวนการในการบันทึกข้อมูลของหน่วยความจำเปลี่ยนเฟสนั้น สามารถกระทำได้โดยการควบคุมพลังงานที่ป้อนให้กับเซลล์ของหน่วยความจำ โดยพลังงานที่ใช้ในการควบคุมนั้นเป็นพลังงานที่ได้จากพัลส์ของกระแสไฟฟ้า

(Current pulse) ที่ป้อนให้กับเซลล์ของหน่วยความจำ ซึ่งจะประกอบด้วยขนาดและช่วงเวลาในการป้อนกระแสไฟฟ้า ยกตัวอย่างเช่น ในกรณีที่จะทำให้วัสดุเปลี่ยนเฟสที่อยู่ในสถานะผลึกเปลี่ยนสถานะไปเป็น อสัณฐาน ขนาดของกระแสไฟฟ้าที่ป้อนให้กับเซลล์ของหน่วยความจำเปลี่ยนเฟสจะต้องมีปริมาณมากเพียงพอที่จะทำให้วัสดุเปลี่ยนเฟสเกิดการหลอมเหลว ในขณะเดียวกันช่วงเวลา ซึ่งเป็นช่วงเวลาที่ระดับของกระแสไฟฟ้าลดลงจากระดับที่มีค่าอุณหภูมิสูงกว่าจุดหลอมเหลว ไปจนอุณหภูมิมีค่าต่ำกว่าอุณหภูมิของการเปลี่ยนเฟส ซึ่งช่วงเวลาดังกล่าวนี้จะต้องสั้นมาก ๆ ทั้งนี้ก็เพื่อที่จะทำให้วัสดุเปลี่ยนเฟสเกิดการเย็นตัวอย่างรวดเร็ว จนเกิดสถานะอสัณฐานขึ้นกับโครงสร้างของวัสดุเปลี่ยนเฟส ส่วนในกรณีที่ต้องการให้วัสดุเปลี่ยนเฟสที่มีสถานะอสัณฐานกลับไปมีสถานะผลึกที่สมบรูณ์เหมือนเดิมอีกครั้งสามารถทำได้โดยการป้อนกระแสไฟฟ้าที่มีขนาดไม่สูงมากนัก แต่มีช่วงเวลาในการให้พลังงานที่ยาวนาน เพียงพอที่จะทำให้วัสดุเปลี่ยนเฟสมีเวลาในการจัดระเบียบโครงสร้างให้เป็นระบบและระเบียบที่สมบรูณ์ Figure 10 แสดงลักษณะพัลส์ของกระแสไฟฟ้าที่มีความสัมพันธ์กับอุณหภูมิภายในเซลล์ของหน่วยความจำเปลี่ยนเฟส ณ เวลาต่าง ๆ ในระหว่างที่เกิดการเปลี่ยนเฟสกลับไปมาระหว่างอสัณฐานกับผลึก[29] จากรูปแสดงให้เห็นว่าพัลส์รีเซตจะทำให้อุณหภูมิของวัสดุเปลี่ยนเฟสมีค่าสูงกว่าจุดหลอมเหลว (T_m) โดยช่วงเวลาขาลงของพัลส์กระแสไฟฟ้า (t_1) ควรจะสั้นที่สุดเพื่อที่จะทำให้วัสดุเปลี่ยนเฟสสามารถเย็นตัวได้เร็วที่สุด ส่งผลให้โครงสร้างของสารมีสถานะเป็นอสัณฐาน ส่วนพัลส์เซตจะเป็นการเปลี่ยนสถานะของสารที่เป็นอสัณฐานกลับมาเป็นผลึกอีกครั้ง ซึ่งพัลส์กระแสไฟฟ้าที่ป้อนให้กับเซลล์จะต้องมากเพียงพอที่จะทำให้วัสดุเปลี่ยนเฟสมีอุณหภูมิที่สูงกว่าช่วงอุณหภูมิเปลี่ยนเฟส แต่ต่ำกว่าอุณหภูมิหลอมเหลว โดยจะพบว่าระยะความกว้างของพัลส์เซตจะยาวกว่าพัลส์รีเซต สารประกอบ GST ซึ่งเป็นสารประกอบที่มีการนำไปใช้อย่างกว้างขวางมีอุณหภูมิหลอมเหลวที่ 630°C และมีอุณหภูมิเปลี่ยนเฟสที่ 140°C ปัจจุบันการวิจัยและพัฒนาหน่วยความจำเปลี่ยนเฟสพยายามที่จะลดขนาดของพัลส์รีเซต และช่วงเวลาเซตให้มีค่าลดลงเพื่อเป็นการลดพลังงาน และเพิ่มความเร็วในการอ่านเขียนข้อมูลให้เร็วมากยิ่งขึ้น

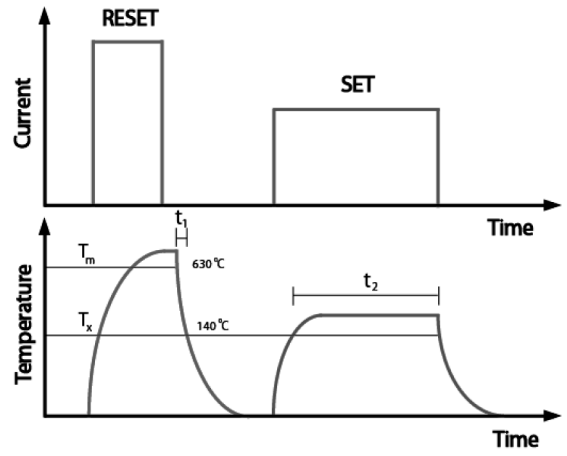


Figure 10 Schematic programming pulse and temperature-time relationship during RESET and SET processes in a PCM device.

ข้อมูลข่าวสารต่าง ๆ ในปัจจุบันจะถูกแปลงให้อยู่ในรูปของเลขฐานสอง (บิต) หรือถูกจัดเก็บให้อยู่ในรูปของดิจิตอลนั้นเอง หนึ่งบิตจะสามารถแบ่งออกได้เป็นสองสถานะที่แตกต่างกัน ซึ่งแทนด้วยสัญลักษณ์ “0” และ “1” โดยจะอาศัยหลักของบลูลีน (Boolean) มาช่วยในการประมวลผลเพื่อแปลงข้อมูลระหว่างภาษาคอมพิวเตอร์กับภาษามนุษย์ให้สามารถเข้าใจกันได้ สำหรับในกรณีของหน่วยความจำเปลี่ยนเฟสสองสถานะของบิตดังกล่าวนี้จะถูกแทนด้วยสถานะเฟสที่เกิดจากโครงสร้างของวัสดุเปลี่ยนเฟส เช่น สถานะที่เฟสเป็นแบบอสัณฐานค่าการหักเหแสงและค่าความนำไฟฟ้าจะมีค่าต่ำแทนด้วยบิต “0” แต่สำหรับสถานะที่เฟสเป็นแบบผลึกค่าการหักเหแสงและค่าความนำไฟฟ้าจะมีค่าสูง แทนด้วยบิต “1”

การเปลี่ยนเฟสของวัสดุสามารถกระทำได้โดยการกระตุ้นที่อุณหภูมิสูง แต่ที่อุณหภูมิในระดับปานกลางก็สามารถทำให้วัสดุเกิดเปลี่ยนเฟสได้แต่จะค่อนข้างช้า ในขณะที่การเปลี่ยนเฟสที่อุณหภูมิสูงจะสามารถเปลี่ยนเฟสได้เร็ว ซึ่งก็จะทำให้สามารถใช้เวลาในการเขียนข้อมูลได้เร็วกว่าการกระตุ้นที่อุณหภูมิต่ำ

การจัดเก็บข้อมูลด้วยแสงถูกสร้างขึ้นเป็นครั้งแรกโดยการใช้สารประกอบระหว่างธาตุ Ge, Sb และ Te[30,31] Figure 11 แสดงการจัดเก็บข้อมูลโดยใช้แสงและไฟฟ้าจากวัสดุเปลี่ยนเฟส เมื่อเลเซอร์หรือว่าแรงดันไฟฟ้าถูกกระตุ้นไปยังวัสดุเปลี่ยนเฟส จะทำให้เกิดความร้อนขึ้น ความร้อนที่เกิดขึ้นนี้จะเหนี่ยวนำให้เกิดการเปลี่ยนเฟสขึ้นในวัสดุเปลี่ยนเฟส ถ้าช่วงของพัลส์ที่ป้อนให้กับวัสดุเปลี่ยนเฟสมีช่วงเวลาที่ยาวดังเช่นพัลส์ลูกแรกที่แสดงใน Figure 11 (top) วัสดุเปลี่ยนเฟสจะถูกเซตให้เป็นสถานะผลึก และถ้าต้องการจะทำให้วัสดุเปลี่ยน

เฟสที่อยู่ในสถานะผลึกเปลี่ยนไปเป็นสถานะอสัณฐานจะต้องทำการป้อนเลเซอร์หรือว่าแรงดันไฟฟ้าให้กับวัสดุเปลี่ยนเฟสจนวัสดุเปลี่ยนเฟสมีอุณหภูมิสูงกว่าจุดหลอมเหลว หลังจากนั้นเมื่อวัสดุเปลี่ยนเฟสถูกทำให้เย็นตัวลง วัสดุเปลี่ยนเฟสก็จะมีสถานะเป็นอสัณฐาน ซึ่งลักษณะของพัลส์แสดงได้ดังพัลส์ลูกที่สามที่แสดงใน Figure 11 (top) และเมื่อต้องการจะทำการอ่านข้อมูล ลักษณะของพัลส์ที่ป้อนให้กับวัสดุเปลี่ยนเฟสจะต้องมีขนาดไม่มากจนเกินไป เพราะถ้าให้พลังงานมากไปจะทำให้วัสดุเปลี่ยนเฟสมีพลังงานเพียงพอที่จะจัดระเบียบของโครงสร้างจนสามารถเปลี่ยนจากโครงสร้างที่ไร้ระเบียบมาเป็นโครงสร้างที่เป็นระเบียบได้ หรือว่าป้อนพลังงานมากจนทำให้วัสดุเกิดการหลอมเหลวจนโครงสร้างกลายเป็นสถานะอสัณฐาน ลักษณะของพัลส์ที่ใช้ในการอ่านข้อมูลแสดงได้ดังพัลส์ลูกที่ 2 และ 4 ที่แสดงในFigure 11 (top) จาก Figure 11 จะพบว่าขนาดของการหักเหแสง และค่าความนำไฟฟ้าแบ่งออกเป็น 2 ช่วง คือช่วงที่เป็นผลึก และช่วงที่เป็นอสัณฐาน โดยช่วงที่เป็นผลึกจะมีสถานะเป็นลอจิก “1” และช่วงที่เป็นอสัณฐานจะมีสถานะเป็นลอจิก “0”

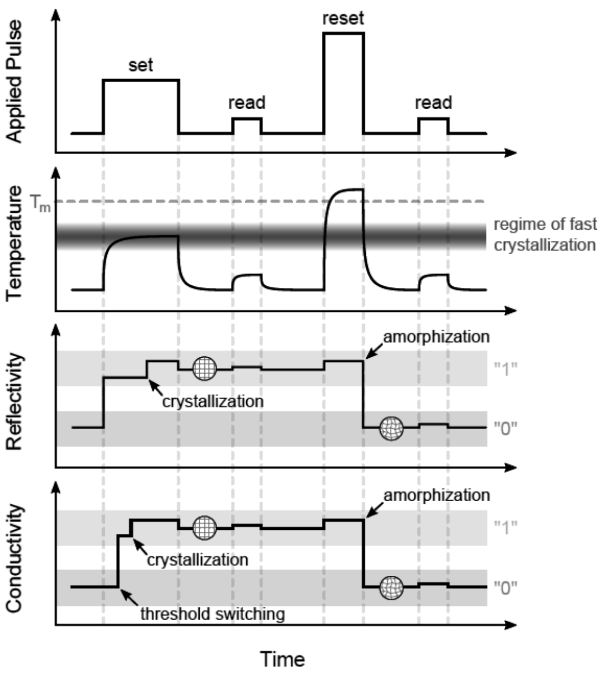


Figure 11 Sketch of main processes in phase change memories[32].

หน่วยย่อยและสถาปัตยกรรมอาเรย์ของหน่วยความจำเปลี่ยนเฟส

Figure 12 แสดงภาพภาคตัดขวางของเซลล์หน่วยความจำเปลี่ยนเฟสที่มีโครงสร้างแบบ mushroom หรือ lance ชั้นสารชาลโคจีไนด์จะแทรกอยู่ระหว่างชั้นอิเล็กโทรดด้านบนและชั้นสารทำความร้อนซึ่งโดยปกติแล้วชั้นสารทำความร้อนจะเป็นโลหะที่มีสภาพนำไฟฟ้าที่ดี และสามารถกักเก็บความร้อนได้นาน และมีจุดหลอมเหลวสูง ชั้นสารทำความร้อนที่สร้างในหน่วยความจำเปลี่ยนเฟสจะมีขนาดเล็ก ทั้งนี้เนื่องมาจากต้องการที่จะเพิ่มความหนาแน่นให้กับกระแสไฟฟ้าที่ไหลผ่านรอยต่อระหว่างชั้นสารทำความร้อนกับวัสดุเปลี่ยนเฟส การที่มีกระแสไฟฟ้าที่มีความหนาแน่นมากๆไหลผ่าน จะทำให้บริเวณดังกล่าวมีอุณหภูมิสูงขึ้น ซึ่งเป็นตัวแปรสำคัญที่จะใช้ในการเปลี่ยนเฟส จุดเชื่อมต่อระหว่างวัสดุเปลี่ยนเฟสกับชั้นสารทำความร้อนจะเป็นจุดที่เซลล์ของหน่วยความจำใช้ในการทำงาน ดังนั้นพื้นที่จุดสัมผัสระหว่างชั้นสารทำความร้อนกับวัสดุเปลี่ยนเฟสและคุณสมบัติของสารจะเป็นตัวแปรสำคัญที่มีผลต่อการสร้างและควบคุมความร้อนให้เกิดขึ้นกับวัสดุเปลี่ยนเฟส มากไปกว่านั้นการควบคุมและบริหารจัดการพลังงานความร้อนภายในเซลล์ที่มีประสิทธิภาพเป็นสิ่งที่สำคัญมากสำหรับหน่วยความจำเปลี่ยนเฟส

จาก Figure 12(a) ซ้าย เป็นการแสดงโครงสร้างของเซลล์หน่วยความจำเปลี่ยนเฟส ส่วนด้านขวาเป็นการประกอบกันระหว่างเซลล์หน่วยความจำเปลี่ยนเฟสกับตัวควบคุมการทำงานของเซลล์ซึ่งส่วนใหญ่จะเป็นทรานซิสเตอร์หรือว่าไดโอด ใน Figure 12 เป็นทรานซิสเตอร์แบบมอสเฟส โดยจะทำการเชื่อมต่อเซลล์หน่วยความจำเข้ากับขั้วเดรนของมอสเฟส ส่วนขั้วซอร์สจะเชื่อมต่อกับกราวด์ ในขณะที่ขั้วเกทจะใช้เป็นตัวควบคุมการทำงานของมอสเฟส

สำหรับ Figure 12(b) เป็นการรวมมอสเฟสหลายๆ ตัวเป็นอาเรย์ โดยในกระบวนการสร้างอาเรย์ดังกล่าวจะทำการปลูกสร้างมอสเฟสก่อนจากนั้นก็จะทำการปลูกชั้นวัสดุเปลี่ยนเฟสเชื่อมต่อกับขั้วเดรนของมอสเฟส ซึ่งปัญหาหนึ่งที่พบคือการสร้างมอสเฟสให้สามารถดึงกระแสได้สูงๆ โดยที่มอสเฟสมีขนาดเล็ก ทั้งนี้เนื่องจากวัสดุเปลี่ยนเฟสต้องการกระแสที่สูงสำหรับใช้ในการเปลี่ยนเฟส ดังนั้นปัญหาดังกล่าวจึงเป็นปัญหาหนึ่งที่ต้องทำการแก้ไขอย่างเร่งด่วนควบคู่ไปกับการพัฒนาหน่วยความจำเปลี่ยนเฟส

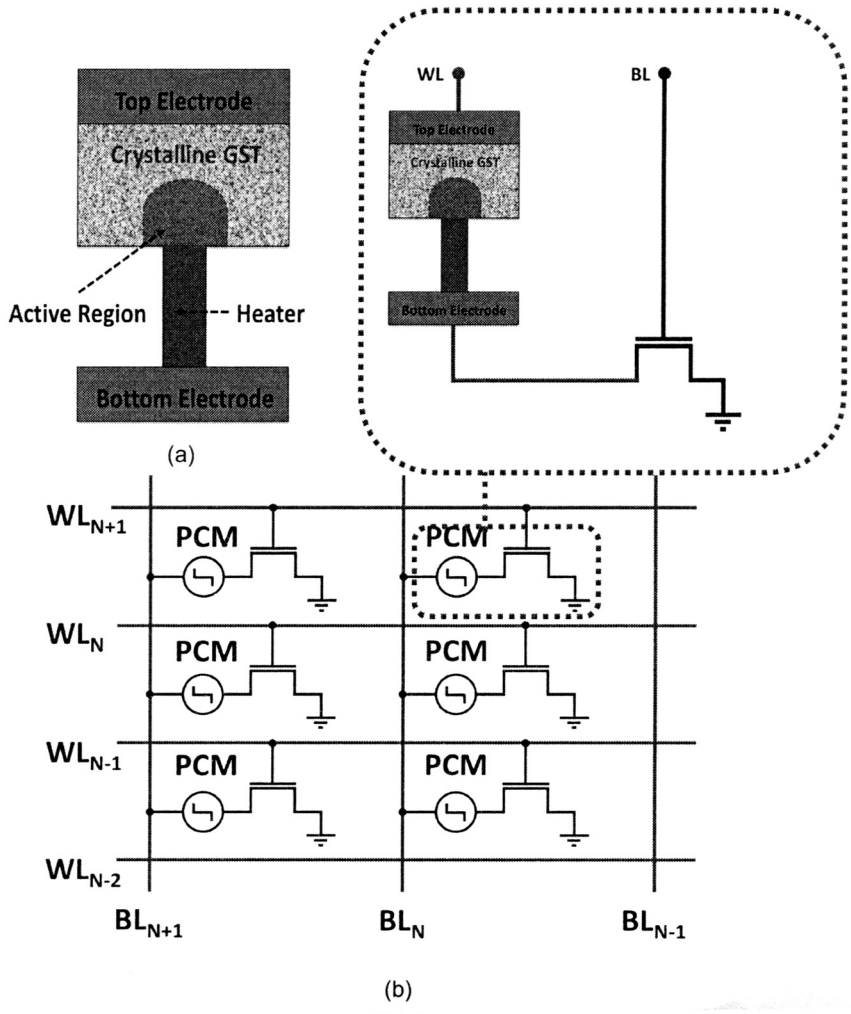


Figure 12 Structure and array architecture of phase change memories schematic cross-section of typical mushroom-type (b) PCM array architecture based on 1T1R design.

ความน่าเชื่อถือ ความคงทน และความยาวนานในการเก็บรักษาข้อมูล

ความคงทนหรือความสามารถในการเขียนและลบซ้ำๆ ได้ แสดงถึงความสามารถในการโปรแกรมของหน่วยความจำเปลี่ยนเฟสที่เปลี่ยนสถานะกลับไปมาระหว่างสถานะเซตกับรีเซต[33,34] ดังFigure 13 โดยปกติทั่วไปหน่วยความจำเปลี่ยนเฟสจะสามารถเขียนและลบซ้ำๆ ได้อยู่ในช่วง 10^3 - 10^9 รอบ แต่สำหรับหน่วยความจำแฟลชแล้วอยู่ประมาณ 10^6 รอบ[33,35,36,37] อย่างไรก็ตามประสิทธิภาพของความคงทนอาจถูกทำให้ลดลง เนื่องจากปัจจัยภายนอกหลายๆ อย่างที่อยู่เหนือการควบคุม ยกตัวอย่างเช่นเมื่อทำการโปรแกรมบ่อยครั้งคุณลักษณะทางกายภาพของวัสดุเปลี่ยนเฟสที่จุดเชื่อมต่อกับชั้นสารทำความร้อนอาจจะเกิดความไม่สมบูรณ์หรือเกิดความเสียหายขึ้นทำให้ต้องทำการโปรแกรมซ้ำอีกรอบจึงจะมีสภาพกลับมาดังเดิม[38,39,40] นอกจากนี้ยังค้นพบอีกว่าประสิทธิภาพการทำงานของหน่วยความจำเปลี่ยนเฟสอาจจะลดลงอันเนื่องมาจากองค์ประกอบของธาตุบางตัวที่จุดเชื่อมต่อของชั้นสารมีการแพร่เข้าไปผสมกับโครงสร้างของวัสดุเปลี่ยนเฟสทำให้คุณสมบัติของวัสดุเปลี่ยนเฟสเปลี่ยนไปในระหว่างการโปรแกรม[39,40,41,42] ดังนั้นการเพิ่มประสิทธิภาพกลไกหรือเงื่อนไขในการโปรแกรมให้กับหน่วยความจำเปลี่ยนเฟสจึงเป็นสิ่งที่จะต้องดำเนินการให้เหมาะสมเพื่อเป็นการเพิ่มความคงทนให้กับหน่วยความจำเปลี่ยนเฟสให้มีอายุการทำงานที่ยาวนานขึ้น

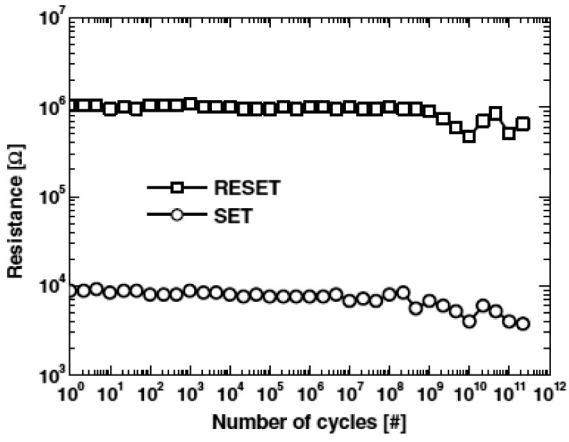


Figure 13 Cell resistance in set and reset states as a function of the number of set/reset cycles[40].

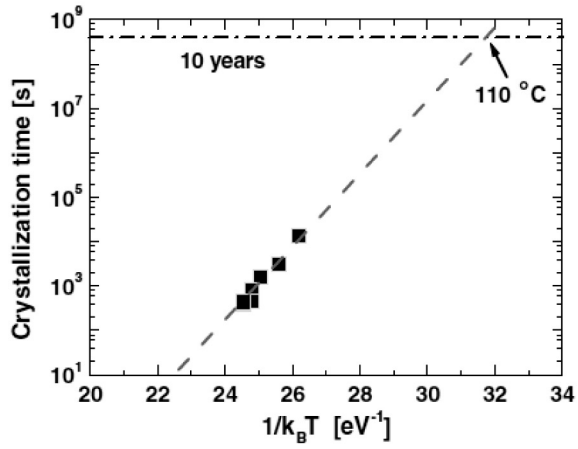


Figure 14 Experimental Arrhenius plot for the crystallization time of the reset state. Ten-year retention requires operation below 110°C[40].

ความสามารถในการจัดเก็บข้อมูลเป็นพารามิเตอร์ที่สำคัญที่ช่วยบ่งบอกความน่าเชื่อถือของหน่วยความจำเปลี่ยนเฟส ซึ่งความสามารถในการจัดเก็บข้อมูลนั้นสามารถตรวจเช็คได้จากการที่หน่วยความจำเปลี่ยนเฟสยังคงจัดเก็บข้อมูลเอาไว้ได้แม้ว่าอุณหภูมิของสภาวะแวดล้อมจะเพิ่มขึ้น ดังนั้นการพัฒนาคุณสมบัติของวัสดุเปลี่ยนเฟสที่มีโครงสร้างอยู่ในสถานะอสัณฐานไม่ถูกทำให้เปลี่ยนเฟสกลับไปเป็นผลึกได้โดยง่ายเวลาที่ได้รับพลังงานจากสภาวะแวดล้อมจึงเป็นแนวทางหนึ่งที่สำคัญที่จะช่วยเพิ่มความน่าเชื่อถือของหน่วยความจำเปลี่ยนเฟสให้สูงขึ้นได้ เสถียรภาพทางความร้อนของวัสดุเปลี่ยนเฟสก็เป็นอีกปัจจัยหนึ่งที่เป็นตัวควบคุมความสามารถในการจัดเก็บข้อมูลของหน่วยความจำเปลี่ยนเฟส ทั้งนี้เนื่องจากว่าการเกิดผลึกของวัสดุนั้นจะต้องใช้กระบวนการกระตุ้นด้วยความร้อน ซึ่งเป็นไปตามความสัมพันธ์ของ Arrehenius ที่ได้อธิบายอัตราการเกิดผลึกที่มีความสัมพันธ์กันระหว่างอุณหภูมิกับพลังงานกระตุ้น Figure 14 เป็นการแสดงความสามารถในการจัดเก็บข้อมูลของหน่วยความจำเปลี่ยนเฟสที่ใช้ความสัมพันธ์ของ Arrehenius ณ อุณหภูมิที่แตกต่างกัน[33,34] จากกราฟ แสดงให้เห็นว่าหน่วยความจำเปลี่ยนเฟสสามารถทำการจัดเก็บข้อมูลได้ยาวนานถึง 10 ปี ที่อุณหภูมิประมาณ 110°C

ความสามารถในการลดขนาดของเซลล์หน่วยความจำ

ตัวแปรสำคัญที่มีผลต่อการลดขนาดของเซลล์หน่วยความจำเปลี่ยนเฟสมีด้วยกันหลายตัวแปร เช่น คุณสมบัติของวัสดุเปลี่ยนเฟส ผลรวมของกำลังทั้งหมดที่ใช้ในระหว่างการเขียนอ่าน ความร้อนที่แผ่ออกมาระหว่างเซลล์ข้างเคียง (thermal cross-talk) และความเสียหายที่เกิดขึ้นจากกลไกต่างๆ ของเซลล์หน่วยความจำ เป็นต้น

การพัฒนาเทคโนโลยีหน่วยความจำเปลี่ยนเฟสในอนาคตอันใกล้นี้จะให้ความสำคัญกับปริมาณกระแสไฟฟ้าที่ใช้ในการอ่านเขียนข้อมูลในแต่ละเซลล์เพิ่มมากยิ่งขึ้น เพราะปริมาณกระแสไฟฟ้าที่ต้องใช้ในแต่ละเซลล์นั้น จะถูกนำไปรวมเป็นกำลังไฟฟ้ารวมของระบบหน่วยความจำเปลี่ยนเฟสที่สมบูรณ์ ที่ประกอบด้วยอาเรย์หน่วยความจำเปลี่ยนเฟส โดยแต่ละเซลล์ของหน่วยความจำจะประกอบไปด้วยไดโอดหรือทรานซิสเตอร์ซึ่งมีหน้าที่ในการควบคุมการทำงานของเซลล์ ซึ่งแต่ละองค์ประกอบของเซลล์ล้วนต้องใช้พลังงานยิ่งมีจำนวนองค์ประกอบมากขึ้นเท่าไร ก็ยิ่งต้องใช้พลังงานมากขึ้นเท่านั้น ดังนั้นการลดปริมาณกระแสไฟฟ้าในการอ่านเขียนลง จะช่วยทำให้หน่วยความจำเปลี่ยนเฟสใช้พลังงานรวมน้อยลง การลดปริมาณกระแสไฟฟ้าในการอ่านเขียนของเซลล์หน่วยความจำเปลี่ยนเฟสนั้น สามารถทำได้โดยการลดขนาดของเซลล์หน่วยความจำเปลี่ยนเฟส ซึ่งสามารถทำได้ 2 แนวทางคือ การลดปริมาตรของวัสดุเปลี่ยนเฟส และการลดพื้นที่สัมผัสระหว่างวัสดุเปลี่ยนเฟสกับชั้นสารทำความร้อน ในการลดปริมาตรของวัสดุเปลี่ยนเฟสนั้นสามารถลดได้ทั้งแบบหนึ่งมิติ (ความหนา)[42,43,44,45] แบบสองมิติ (เส้นนาโน)[46,47,48,49,50] และแบบสามมิติ (อนุภาคนาโน)[51,52,53,54,55,56,57,58]

การลดขนาดพื้นที่สัมผัสระหว่างชั้นสารทำความร้อนกับวัสดุเปลี่ยนเฟส[40,60] เป็นแนวทางหนึ่งในการลดปริมาณกระแสไฟฟ้าในการโปรแกรมเช่นการให้ความร้อนโดยใช้ AFM tip ซึ่งมีพื้นที่สัมผัสระหว่างวัสดุเปลี่ยนเฟสกับชั้นสารทำความร้อนน้อยมาก หลักการให้ความร้อนดังกล่าวนี้สามารถที่จะช่วยลดปริมาณกระแสไฟฟ้าในการโปรแกรม ในขณะเดียวกันก็เป็นการเพิ่มความหนาแน่นของหน่วยความจำเปลี่ยนเฟสไปด้วย โดยการเกิดผลึกของวัสดุเปลี่ยนเฟสที่ให้ความร้อนโดยใช้ AFM tip นี้สามารถเกิดขึ้นได้ในสเกลระดับนาโนเมตร

ในปัจจุบันวัสดุเปลี่ยนเฟสยังไม่มีข้อจำกัดทางด้านกายภาพ ซึ่งคาดหวังว่าจะสามารถลดขนาดให้เล็กลงไปได้เรื่อยๆ แต่ในทางกลับกันเมื่อเราทำการลดขนาดของเซลล์ลงไปเรื่อยๆ เซลล์แต่ละเซลล์ที่รวมกันเป็นอาเรย์จะอยู่ติดกันมาก ดังนั้นในจังหวะที่เซลล์ใดเซลล์หนึ่งหรือว่าอาเรย์ใดอาเรย์หนึ่งทำงาน ความร้อนที่เกิดขึ้นดังกล่าวนี้ จะแผ่พลังงานไปรบกวนเซลล์ข้างเคียงส่งผลให้สถานะของเฟสเกิดความไม่เสถียร แต่จากการทดลองการทำงานของอาเรย์ขนาดเมกะไบต์ (Mb) ที่สร้างจากเทคโนโลยีขนาด 0.18μm พบว่าเซลล์ยังคงสามารถรักษาเสถียรภาพของข้อมูลเอาไว้ได้เป็นอย่างดี โดยไม่ได้รับผลกระทบจากความร้อนที่แผ่มารบกวนจากเซลล์ข้างเคียงแต่อย่างใด[39,40] จากการศึกษาผลกระทบที่ได้รับจากการระบายความร้อน (thermal cross-talk) พบว่าผลกระทบดังกล่าวจะมีผลน้อยมากหรือมีความปลอดภัยจากการแผ่ความร้อนจากเซลล์ข้างเคียงที่ระดับเทคโนโลยีที่สูงกว่า 65nm[60] ความสามารถในการลดขนาดของเซลล์หน่วยความจำเปลี่ยนเฟสสามารถพิจารณาได้จากความสัมพันธ์ดังต่อไปนี้

$$I = \frac{P}{V_h} = \frac{(\Delta T/R_{th})}{V_h} = \frac{\Delta T}{(V_h R_{th})} \quad (2.1)$$

เมื่อ I คือ กระแสไฟฟ้าที่ใช้ในการโปรแกรม

P คือ พลังงานที่เกิดขึ้นภายในเซลล์

Vh คือ แรงดันไฟฟ้าที่คงไว้ได้ก่อนเกิดการเปลี่ยนเฟส

ΔT คือ อุณหภูมิที่ต้องการสำหรับทำให้ถึงจุดหลอมเหลว

R_{th} คือ ความต้านทานทางความร้อนที่เกิดขึ้น[40,60]

ค่า V_h กับ ΔT เป็นค่าคงที่ แต่สำหรับค่า R_{th} เป็นค่าที่ขึ้นอยู่กับพื้นที่สัมผัสระหว่างชั้นสารทำความร้อนกับชั้นวัสดุเปลี่ยนเฟส ซึ่งค่า I จะมีค่าลดลงเมื่อพื้นที่สัมผัสระหว่างชั้นสารทำความร้อนกับชั้นวัสดุเปลี่ยนเฟสมีขนาดเล็กลง

เมื่อกำหนดให้ k คือแฟคเตอร์ความสัมพันธ์ของค่าพารามิเตอร์ต่างๆ ที่มีต่อการลดขนาดของเซลล์หน่วยความจำเปลี่ยนเฟส สามารถแสดงความสัมพันธ์ได้ดัง Table 2

Table 2 PCM scaling rules[61].

	Parameters	Factor (k>1)
PCM cell	GST/heater contact area	$1/k^2$
	GST thickness	1/k
	Heater height/thickness	1/k
	SET resistance	k
	RESET resistance	k
	Thermal resistance	k
	ON-state resistance	k
	Threshold voltage	log(k)
	Programming voltage	1
	Programming current	1/k
BJT	Emitter area	$1/k^2$
	Base thickness	1/k
	Emitter current	1/k
	Gatelength	1/ k
MOS	Width	1/ k
	Saturation current	1/k

จุดที่มีโอกาสสร้างความเสียหายให้เกิดขึ้นกับเซลล์หน่วยความจำเปลี่ยนเฟส มีด้วยกันหลายจุด เช่น ความเสียหายทางกายภาพที่เกิดจากขั้นตอน หรือกระบวนการในการผลิตหน่วยความจำเปลี่ยนเฟสที่มีความแตกต่างกันอย่างสิ้นเชิง เช่น การปลูกวัสดุคนละชนิดซึ่งมีคุณสมบัติแตกต่างกันเชื่อมต่อกัน จุดเชื่อมต่อระหว่างวัสดุทั้งสองชนิดนี้มีโอกาสเกิดความเสียหายได้ นอกจากนั้นยังมีความเสียหายที่อาจเกิดขึ้นจากแรงดันขีดเริ่ม (threshold voltage) ที่มีค่าใกล้เคียงกับแรงดันที่ใช้ในการอ่านข้อมูล ซึ่งความเสียหายดังกล่าวนี้อาจจะไม่รุนแรงเท่ากับความเสียหายทางกายภาพ แต่ก็ทำให้เสถียรภาพและประสิทธิภาพของเซลล์หน่วยความจำมีค่าลดลง การที่แรงดันขีดเริ่มมีค่าใกล้เคียงกับแรงดันในการอ่านข้อมูลนั้นจะทำให้เกิดการ overwrite เกิดขึ้นในจังหวะที่ทำการอ่านข้อมูล หรือเกิดการเปลี่ยนสถานะของวัสดุเปลี่ยนเฟสขึ้นในจังหวะของการอ่านข้อมูลนั้นเอง และถ้ามองต่อไปในอนาคต ความเสียหายอาจจะขึ้นอยู่กับจำนวนของอะตอมที่

ใช้ในการสร้างเซลล์หน่วยความจำ เพราะจำนวนของอะตอมที่เจือเข้าไปในวัสดุเปลี่ยนเฟส และความบกพร่องของอะตอมที่เกิดขึ้นภายในเซลล์หน่วยความจำ จะส่งผลต่อกระบวนการในการเกิดผลึก กระบวนการในการหลอมเหลว ความสามารถในการไหลของความร้อน และคุณสมบัติการทะลุผ่านอุโมงค์ (tunneling effect) ของเซลล์หน่วยความจำที่พัฒนาขึ้นในอนาคต

ทิศทางในการพัฒนาหน่วยความจำเปลี่ยนเฟสในอนาคต

เทคโนโลยีหน่วยความจำเปลี่ยนเฟสจะประสบผลสำเร็จได้อย่างสมบูรณ์ ก็ต่อเมื่อได้รับการพัฒนาให้มีขนาดเล็กลงไปให้ได้มากที่สุด พร้อมกับการเพิ่มความจุให้สูงที่สุด ซึ่งสิ่งที่หน่วยความจำเปลี่ยนเฟสควรจะได้รับการพัฒนาอย่างต่อเนื่องคือการพัฒนาโครงสร้างของเซลล์หน่วยความจำให้มีขนาดเล็ก และสามารถทำงานได้อย่างมีประสิทธิภาพ สามารถทำงานได้เร็วขึ้นและมีเสถียรภาพมากขึ้น ทั้งในแง่ของความเร็ว ความทนทาน และอายุในการจัดเก็บข้อมูล การพัฒนาสถาปัตยกรรมภายในชิป(Chip) ของหน่วยความจำเปลี่ยนเฟสให้มีขนาดเล็ก และเข้าถึงข้อมูลได้เร็วขึ้น ซึ่งเป็นแนวทางหลักที่สำคัญ ควรเร่งศึกษาและพัฒนาควบคู่ไปกับแนวการพัฒนาใหม่ของหน่วยความจำชนิดนี้ ซึ่งทิศทางในการพัฒนาในอนาคตนั้น คือการทำให้หน่วยความจำเปลี่ยนเฟสหนึ่งเซลล์สามารถจัดเก็บข้อมูลได้หลายบิต (multilevel cell, MLC) หรือ ทำการจัดเก็บข้อมูลแบบอนาล็อก และถอดรหัสสัญญาณออกมาเป็นแบบดิจิตอลที่มีจำนวนมากกว่าหนึ่งบิต และสิ่งหนึ่งที่สำคัญสำหรับการพัฒนาหน่วยความจำเปลี่ยนเฟสก็คือเทคนิคการเข้าและถอดรหัสของสัญญาณหน่วยความจำ ซึ่งจากการสำรวจงานวิจัยพบว่ามีน้อยมาก ดังนั้นเพื่อให้เทคโนโลยีหน่วยความเปลี่ยนเฟสได้รับการพัฒนาไปข้างหน้าได้อย่างรวดเร็วและมีการนำไปใช้งานอย่างกว้างขวางในอนาคตอันใกล้นี้ ควรเร่งศึกษาและพัฒนาเทคนิคการเข้าและถอดรหัสควบคู่ไปกับการพัฒนาในด้านอื่นๆ ของหน่วยความจำเปลี่ยนเฟสด้วย แต่อย่างไรก็ตามทิศทางและความต้องการของผู้บริโภคสำหรับเทคโนโลยีหน่วยความจำก็คือความจุที่สูงและมีราคาถูก ดังนั้นแนวทางใดๆ ก็ตามที่จะเป็นการเพิ่มความจุและเป็นการสกัดจุดอ่อนที่เป็นอุปสรรคในการเพิ่มจำนวนความจุต่างๆ คือสิ่งที่ควรเร่งทำการศึกษาและพัฒนาต่อไป เช่น เทคนิคการเขียนรายวงจรให้มีขนาดเล็ก เทคนิคและกระบวนการปลูกเซลล์หน่วยความจำที่ไม่ซับซ้อนและมีต้นทุนในการผลิตที่ถูกลง เป็นต้น

สรุป

รายละเอียดพื้นฐานของหน่วยความจำเปลี่ยนเฟสซึ่งครอบคลุมตั้งแต่ โครงสร้างของเซลล์ กระบวนการในการอ่านเขียนข้อมูล ส่วนประกอบของเซลล์หน่วยความจำ สถาปัตยกรรมในการจัดเก็บข้อมูล ความทนทาน เสถียรภาพของข้อมูล ความสามารถในการลดขนาดของเซลล์ และทิศทางในการพัฒนาหน่วยความจำเปลี่ยนเฟสในอนาคตได้ถูกนำมาเสนอ ซึ่งจะพบว่าทุกส่วนมีความเกี่ยวข้องสัมพันธ์กันอย่างลึกซึ่ง เทคโนโลยีหน่วยความจำเปลี่ยนเฟสจะประสบผลสำเร็จได้อย่างสมบูรณ์แบบหรือไม่ ย้อมขึ้นอยู่กับสิ่งที่ได้กล่าวมาแล้วข้างต้น อย่างไรก็ตามไม่ว่าหน่วยความจำเปลี่ยนเฟสจะได้รับเลือกให้เป็นเทคโนโลยีที่จะนำมาแทนที่เทคโนโลยีแฟชหรือไม่ นักวิจัยหรือผู้ที่มีความเกี่ยวข้องกับเทคโนโลยีบันทึกข้อมูลก็ยังคงต้องแสวงหาแนวคิดและหลักการใหม่ๆ สำหรับนำมาใช้ในการสร้างหน่วยบันทึกข้อมูลที่มีประสิทธิภาพต่อไป เพื่อรองรับกับความต้องการของผู้บริโภคและเทคโนโลยีสารสนเทศที่มีข้อมูลข่าวสารเป็นจำนวนมากที่ต้องการการจัดเก็บ และนี้ก็แสดงให้เห็นว่ายิ่งเทคโนโลยีสารสนเทศมีความเจริญรุดหน้า ไปมากเพียงใด เทคโนโลยีบันทึกข้อมูลก็ยิ่งทวีความสำคัญมากขึ้นเป็นเงาตามตัว

กิตติกรรมประกาศ

ขอขอบพระคุณคณาจารย์ภาควิชาฟิสิกส์ คณะวิทยาศาสตร์ มหาวิทยาลัยมหาสารคาม ทุกท่านที่ช่วยตรวจสอบความถูกต้องของเนื้อหาตลอดจนให้คำแนะนำที่ดีในการปรับปรุงและแก้ไขข้อบกพร่องของบทความฉบับนี้

เอกสารอ้างอิง

1. Harnsoongnoen S, Sa-ngiamsak C, Siritaratiwat A. Optimisation of phase change memory with thin metal inserted layer on material properties, Int J Mod Phys B 2009;17:3625-3630.
2. Lacaita AL et al. Electrothermal and phase-change dynamics in chalcogenide-based memories. IEDM Tech 2004. p. 37.3.1-37.3.4.
3. Atwood G, Bez R. 90nm phase change technology with μ-trench and lance cell element. Symp VLSI Tech 2007. p. 1–2.
4. Pellizzer F et al. A 90nm phase change memory technology for stand-alone non-volatile memory applications. Symp VLSI Tech 2006. p. 122–123.

5. Varesi E et al. Advances in Phase Change Memory Technology. European\Phase Change and Ovonics Symposium 2004.
6. Happ TD et al. Novel one-mask self-heating pillar phase change memory. European\Phase Change and Ovonics Symposium 2004.
7. Ozatay O et al. Scaling properties of critical phase conditions in Ge2Sb2Te5 nanopillar. mesoscopic systems and quantum hall effect (cond-mat.mes-hall).
8. Czubatyj W et al. Current reduction in ovonic memory devices. European\Phase Change and Ovonics Symposium 2006.
9. Breitwisch M et al. Novel lithography-independent pore phase change memory. Symp VLSI Tech 2007. p. 100-101.
10. Bedeschi F et al. 4-Mb MOSFET-selected µ-trench phase – change memory experimental chip. IEEE Journal of Solid – State Circuits 2005;40:1557-1165.
11. Pellizzer F et al. Novel µ-trench phase-change memory cell for embedded and stand – alone non-volatile memory application. VLSI Technology, 2004, Digest of Technical Papers, 2004 Symposium on, 18-19.
12. Ahn SJ et al. Highly reliable 50nm contact cell technology for 250Mb PRAM. VLSI Symp Tech Dig 2005. p. 100-101.
13. Song YJ et al. Highly reliable 256Mb PRAM with advanced ring contact technology and novel encapsulating technology. VLSI Symp Tech Dig 2006. p. 118-119.
14. Campbell KA, Anderson CM. Phase-change memory devices with stacked Ge-chalcogenide/Sn-chalcogenide layer. Microelectronics Journal 2007;38:52-59.
15. Chen YC et al. Ultra-thin phase – change bridge memory device using GeSb. Electron Devices Meeting, 2006, IEDM'06, International, 1-4.
16. Park YS et al. Phase change memory device with u-shaped heater (PCM-U). European\Phase Change and Ovonics Symposium, 2006.
17. Chao DS et al. Enhanced thermal efficiency in phase-change memory cell by double GST thermally confined structure. IEEE Electron Device Letters 2007;28:871-873.
18. Chao DS et al. Low Programming current phase-change memory cell by double GST thermally confined structure. VLSI Technology, Systems and Application, 2007, VLSI-TSA 2007, International Symposium on, 23-25 April 2007.
19. Ling Y et al. A novel edge contact type cell for phase change RAM using N-doped GeSbTe films. Solid-State and Integrated Circuits Technology, 2004, Proceedings. 7th International Conference on.
20. Ha YH et al. An edge contact type cell for phase change RAM featuring very low power consumption. VLSI Symp. Tech. Dig, 2003, 175-176.
21. Jung Y et al. Core – shell heterostructured phase change nanowire multistate memory. Nano Lett 2008;8:2056-2062.
22. Chen YC et al. A new thin-film cross-point non-volatile memory using threshold switching properties of phase-change chalcogenide. solid-state and integrated circuits technology, 2004, Proceedings. 7th International Conference on.
23. Yi JH et al. Novel cell structure of PRAM with thin metal layer inserted GeSbTe. Electron Devices Meeting, 2003, IEDM'03 Technical Digest, IEEE International.
24. Hosaha S et al. Proposal for a memory transistor using phase-change and nanosize effects.Microelectronic Engineering 2004;73-74:736-740.
25. Bolivar PH et al. Lateral design for phase change random access memory cells with low-current consumption. European\Phase Change and Ovonics Symposium, 2004.
26. Horii H et al. A novel cell technology using N-doped GeSbTe films for phase change RAM. VLSI Symp. Tech. Dig, 2003, 177-178.
27. Cho SL et al. A novel cell technology for phase change RAM. European\Phase Change and Ovonics Symposium, 2004.
28. Altenborough K et al. An alternative concept for phase change random access memory. European\Phase Change and Ovonics Symposium, 2005.
29. Ovonyx Inc. Technical Presentation: Ovonic Unified Memory [online] 2007 [cited 2009 Sept 12].Available from: http: //ovonyx.com/technology.

30. Yamada N, Ohno E, Akahira N, Nishiuchi K, Nagata K, Masatoshi T. High speed overwritable phase change optical disk material. Jpn J Appl Phys 1987;26: 61-66.
31. Wuttig M, Yamada N. Phase-change materials for rewriteable data storage. Nat Mater 2007;6(11): 824-832.
32. Daniel K. Electrical Transport and Switching in Phase Change Materials [Ph.D. Dissertation in Mathematics, Computer Science and Science]. Germany: Faculty of Mathematics, computer science and science, RWTH Aachen University; 2010.
33. Lai S, Lowrey T. OUM - A 180 nm nonvolatile memory cell element technology for stand alone and embedded applications. In: Electron Devices Meeting, 2001. IEDM Technical Digest. USA: Washington DC; 2001. p. 36.5.1-36.5.4.
34. Ovonyx Inc. Technical Presentation: Ovonic Unified Memory [online] 2003[cited 2009 Sept. 12]. Available from: http: //www.ovonyx.com.
35. Ahn SJ, Song YJ, Jeong CW, Shin JM, Fai Y, Hwang YN et al. Highly manufacturable high density phase change memory of 64Mb and beyond. In: Electron Devices Meeting, 2004. IEDM Technical Digest. IEEE International Electron Devices Meeting 2004;13:907-910.
36. Pellizzer F, Benvenuti A, Gleixner B, Kim Y, Johnson B, Magistretti M et al. A 90nm phase change memory technology for stand-alone non-volatile memory applications. In: VLSI Technology. Digest of Technical Papers. Symposium on VLSI Technology. USA: Honolulu HI, 2003. p. 122-123.
37. Cho SL, Yi JH, Ha YH, Kuh BJ, Lee CM, Park JH, et al. Highly scalable on-axis confined cell structure for high density PRAM beyond 256Mb. In: VLSI Technology. Digest of Technical Papers. Symposium on VLSI Technology. Japan: Kyoto; 2005. Vol. 14; p. 96-97.
38. Hudgens, S. and Johnson, B. Overview of Phase-Change Chalcogenide Nonvolatile Memory Technology [online] 2004 [cited 2009 Sept 12]. Available from: http://www.engr.sjsu.edu/sgleixner/mate270/LectureNotes/Hudgens_ MRS.pdf
39. Pirovano A, Redaelli A, Pellizzer F, Ottogalli F, Tosi M, Ielmini D, et al. Reliability study of phase-change nonvolatile memories. Device and Materials Reliability. IEEE Transactions on Device Material Reliability 2004;4(3):422-427.
40. Lacaita AL. Phase change memories: State-of-the-art, challenges and perspectives. Solid-State Electronics 2006;50(1):24-31.
41. Raoux S, Rettner CT, Jordan-Sweet J, Deline VR, Philipp JB, Lung HL. Scaling properties of phase change nanostructures and thin films. Proceedings of the European Symposium on Phase Change and Ovonic Science, Grenoble, France, May 2006, p. 127–134.
42. Satoh H, Sugawara K, Tanaka K. Nanoscale phase changes in crystalline Ge2Sb2Te5 films using scanning probe microscopes. J. Appl. Phys 2006;2:024306.
43. Hamann HF, O'Boyle M, Martin YC, Rooks M, Wickramasinghe HK. Ultra-high-density phase-change storage and memory. Nat Mater 2006;5(5):383–387.
44. Gotoh T, Sugawara K, Tanaka K. Minimal phase-change marks produced in amorphous Ge2Sb2Te5 films. Jpn J Appl Phys 2004;43 (6B):L818–L821.
45. Jung Y, Lee SH, Ko DK, Agarwal R. synthesis and characterization of Ge2Sb2Te5 nanowires with memory switching effect. J Am Chem Soc 2006;128(43):14026–14027.
46. Lee SH, Ko DK, Jung Y, Agarwal R. Size-dependent phase transition memory switching behavior and low writing currents in GeTe nanowires. Appl Phys Lett 2006;89(22): 223116.
47. Sun X, Yu B, Meyyappan M. Synthesis and nanoscale thermal encoding of phase-change nanowires. Appl Phys Lett 2007;90(18): 183116.
48. Meister S, Peng H, McIlwrath K, Jarausch K, Zhang XF, Cui Y. Synthesis and characterization of phase-change nanowires. Nano Lett 2006;6(7):514–1517.
49. Sun X, Yu B, Ng G, Nguyen TD, Meyyappan M. III-VI compound semiconductor indium selenide (In2Se3) nanowires: synthesis and characterization. Appl Phys Lett 2006;89(23): 233121.

50. Suh DS, Lee E, Kim KHP, Noh JS, Shin WC, Kang YS, Kim C, Khang Y, Yoon HR, Jo W. Nonvolatile switching characteristics of laser-ablated Ge2Sb2Te5 nanoparticles for phase-change memory applications. Appl Phys Lett 2007;90(2):023101.
51. Soares BF, Jonson F, Zheludev NI. All-optical phase-change memory in a single gallium nanoparticle. Phys Rev Lett 2007;98(15): 153905.
52. Choi HS, Seol KS, Takeuchi K, Fujita J, Ohki Y. Synthesis of size- and structure-controlled Ge2Sb2Te5 nanoparticles. Jpn J Appl Phys 2005;44(10): 7720–7722.
53. Yoon HR, Jo W, Lee EH, Lee JH, Kim M, Lee KY, Khang Y. Generation of phase-change Ge-Sb-Te nanoparticles by pulsed laser ablation. J Non-Cryst Solids 2005;351(43): 3430–3434.
54. Zhang Y, Wong HSP, Raoux S, Cha JN, Rettner CT, Krupp LE, Topuria T, Milliron DJ, Rice PM, Jordan-Sweet J. Phase change nanodot arrays fabricated using a self-assembly diblock copolymer approach. Appl Phys Lett 2007;91(13):13104.
55. Cha JN, Zhang Y, Wong HSP, Raoux S, Rettner C, Krupp L, Deline V. Biomimetic approaches for fabricating high-density nanopatterned arrays. Chem Mater 2007;19(4):839–843.
56. Raoux S, Zhang Y, Milliron D, Cha J, Caldwell M, Rettner CT, Jordan-Sweet J, Wong HSP. X-ray diffraction studies of phase change nanoparticles produced by self-assembly-based lithographic techniques. Proceedings of the European Symposium on Phase Change and Ovonic Science, Zermatt, Switzerland, September 2007, p. F01-19.
57. Raoux S, Rettner CT, Jordan-Sweet JL, Kellock AJ, Topuria T, Rice PM, Miller DC. Direct observation of amorphous to crystalline phase transitions in nanoparticle arrays of phase change materials. J Appl Phys 2007;102(9):94305.
58. Park JB, Park, GS, Baik HS, Lee JH, Jeong H, Kim K. Phase-change behavior of stoichiometric Ge2Sb2Te5 in phase-change random access memory. Journal of The Electrochemical Society 2007;154:H139-H141.
59. Sarkar J, Gleixner B. Evolution of phase change memory characteristics with operating cycles: Electrical characterization and physical modeling. Applied Physics Letters 2007;91: 233506-233506-3.
60. Pirovano A, Lacaita AL, Benvenuti A, Pellizzer F, Hudgens S, Bez R. Scaling analysis of phase-change memory technology. In: Electron Devices Meeting, 2003. IEDM '03 Technical Digest. IEEE International Electron Devices Meeting. USA: Washington DC; 2003. Vol. 8; p. 29.6.1-29.6.4.
61. Bez R and Pirovano A. Non-volatile memory technologies: emerging concepts and new materials. Materials Science in Semiconductor Processing 7, 2004. p. 349–355.

.